

**ФАКУЛЬТЕТ ІНФОРМАЦІЙНО-КЕРУЮЧИХ СИСТЕМ
ТА ТЕХНОЛОГІЙ**

Кафедра спеціалізованих комп'ютерних систем

МЕТОДИЧНІ ВКАЗІВКИ
до лабораторних робіт з курсу
«КОМП'ЮТЕРНА ЕЛЕКТРОНІКА ТА СХЕМОТЕХНІКА»

Частина II

Харків – 2017

Методичні вказівки розглянуто та рекомендовано до друку на засіданні кафедри спеціалізованих комп'ютерних систем 29 листопада 2016 року, протокол № 5.

Рекомендовано для студентів усіх форм навчання спеціальності 123 «Комп'ютерна інженерія».

Укладач

доц. Р. І. Цехмістро

Рецензент

проф. М. А. Мірошник

МЕТОДИЧНІ ВКАЗІВКИ
до лабораторних робіт
з курсу

*«КОМП'ЮТЕРНА ЕЛЕКТРОНІКА
ТА СХЕМОТЕХНІКА»*

Частина II

Відповідальний за випуск Цехмістро Р. І.

Редактор Решетилова В. В.

Підписано до друку 10.03.17 р.

Формат паперу 60x84 1/16. Папір писальний.

Умовн.-друк.арк. 2,25. Тираж 50. Замовлення №

Видавець та виготовлювач Українська державна академія залізничного транспорту,
61050, Харків-50, майдан Фейербаха, 7.

Свідоцтво суб'єкта видавничої справи ДК № 2874 від 12.06.2007 р.

ВСТУП

Цикл лабораторних робіт ставить своєю метою надати студентам практичні навички схемної реалізації елементів і пристроїв цифрової електроніки, а також виміру їхніх статичних та динамічних параметрів. Лабораторні роботи проводяться фронтально на універсальних лабораторних макетах чи за допомогою програмного схемного емулятора ELECTRONICS WORKBENCH PRO або « ORCAD Chematick» після вивчення відповідних розділів лекційного курсу.

Методичні вказівки відповідають програмі курсу «Схемотехніка ЕОМ», орієнтовані на самостійну індивідуальну підготовку студентів до лабораторних робіт. Успішне виконання пропонувананих лабораторних робіт є основою для вивчення таких курсів: «ЕОМ і мікропроцесорні системи», «Проектування цифрових пристроїв на мікроконтролерах» та ін.

До виконання лабораторних робіт допускаються студенти, що надали викладачу необхідні розрахунки відповідно до варіанта завдання і всі принципіві схеми, які синтезовані для досліджень у процесі лабораторної роботи.

За результатами виконання лабораторних робіт кожен студент складає звіт, який повинен бути виконаний у зошиті. Цей зошит допускається використовувати на іспиті або заліку з курсів разом з іншими довідковими матеріалами. Після успішного складання іспиту або заліку зошит здається викладачу.

Звіт з кожної лабораторної роботи повинний містити :

- принципіві схеми досліджуваних пристроїв;
- результати розрахунків відповідно до варіанта завдання;
- необхідні таблиці і графіки (карти Карно та ін.);
- результати досліджень у вигляді таблиць, графіків, осцилограм та ін. (схеми і результати досліджень містяться окремо з кожного пункту завдання, бажано на окремих сторінках звіту);
- висновки за результатами досліджень.

При підготовці до здачі лабораторної роботи студент повинний :

- вміти пояснити порядок виконання роботи та отриманих результатів;
- відповісти на контрольні запитання і
- вміти виконувати контрольні завдання.

ЛАБОРАТОРНА РОБОТА 1

ДОСЛІДЖЕННЯ БАЗОВИХ ЛОГІЧНИХ ТТЛ-ЕЛЕМЕНТІВ

1.1 Мета роботи:

- поглибити і закріпити знання зі схемотехніки базових логічних елементів і виміру їх статичних і динамічних характеристик;
- поглибити і закріпити практичні навички роботи з програмним емулятором «ELECTRONICS WORKBENCH PRO» або «ORCAD Chematick» .

1.2 Самостійна робота студентів

Перед виконанням лабораторної роботи студентам необхідно вивчити відповідний матеріал за пропонованою літературою і конспектом лекцій...

Відповідно до варіанта завдання підготувати принципові схеми експериментів з урахуванням реальних елементів, що входять у лабораторний макет або програмний емулятор «ELECTRONICS WORKBENCH» або «ORCAD Chematick».

1.3 Методичні вказівки до організації самостійної роботи студентів

Відповідно до варіанта завдання (таблиця 1.1) підготувати в звіті принципову схему базового елемента ТТЛ із багатоемітерним транзистором (БЕТ) на вході (на рисунку 1.1

показаний інвертор ТТЛ з одним входом) чи з діодним складанням на вході (рисунок 1.2).

У лабораторній роботі досліджується передатна характеристика ТТЛ-елемента. Для цього на вхід схеми і на «вхід Х» осцилографа подається пілкоподібна напруга з виходу функціонального генератора. Напруга генератора змінюється від нуля до величини її напруги живлення. На другий «вхід Y» осцилографа подається напруга з виходу досліджуваного ТТЛ-елемента (рисунок 1.1 і 1.2).

Для дослідження вхідної характеристики ТТЛ-елемента послідовно з входом схеми підключається додатковий резистор. Значення напруги на цьому резисторі, яке пропорційне вхідному струму ТТЛ-елемента, подається на «вхід Y» осцилографа (рисунок 1.3). Номінал додаткового резистора вибирається невеликим – так, щоб спадання напруги на ньому не перевищувало 1 % від значення величини вхідної напруги. На вхід схеми і на «вхід Х» осцилографа подається пілкоподібна напруга з виходу функціонального генератора. Напруга генератора змінюється від нуля до величини живильної напруги.

Таблиця 1.1 – Варіанти номіналів схеми ТТЛ-елементів

Варіант	R1 (ком)	R2 (ком)	R3 (ком)	R4 (ком)	Вхідна схема
1	4,3	1,6	1	0,13	БЕТ
2	4,3	1,6	1	0,13	Діодн. склад.
3	2,8	0,7	0,43	0,058	БЕТ
4	2,8	0,7	0,43	0,058	Діодн. склад.
5	40	20	12	0,5	БЕТ
6	40	20	12	0,5	Діодн. склад.
7	3	0,9	0,6	0,05	БЕТ
8	3	0,9	0,6	0,05	Діодн. склад.
9	20	8	3	0,2	БЕТ
10	20	8	3	0,2	Діодн. склад.

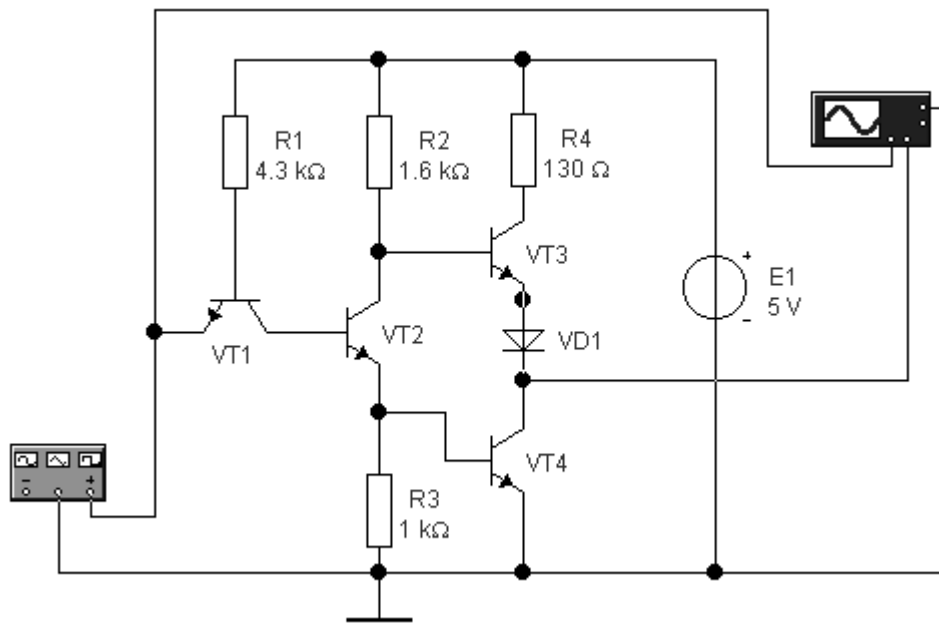


Рисунок 1.1 – Інвертор ТТЛ

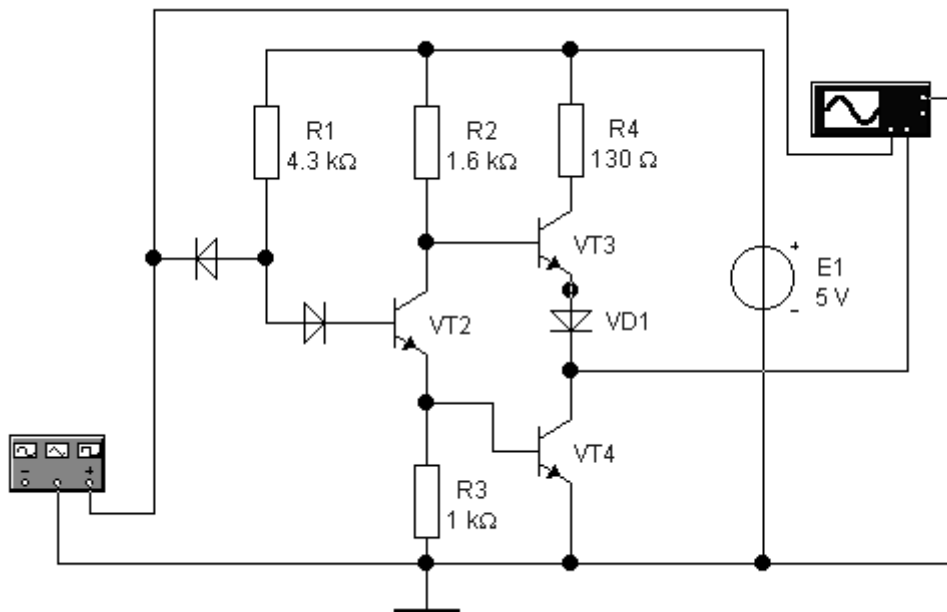


Рисунок 1.2 – Інвертор ТТЛ з діодним складанням на вході

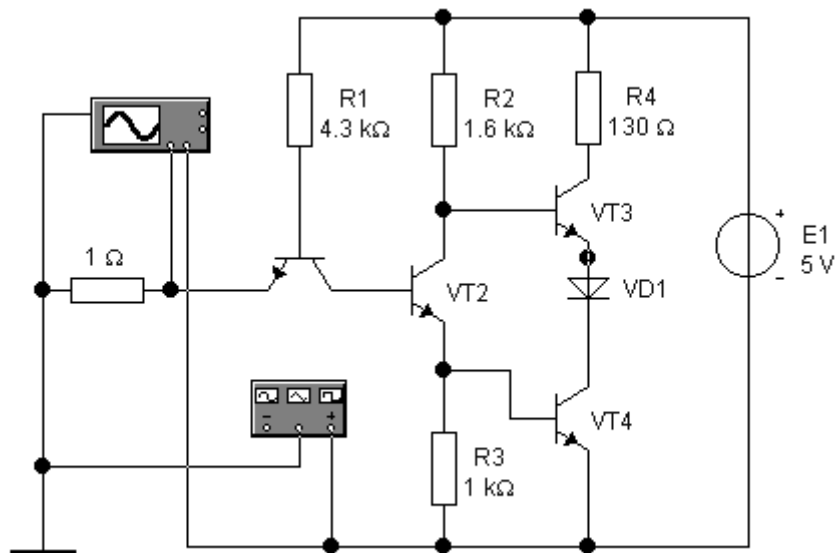


Рисунок 1.3 – Схема виміру вхідної характеристики ТТЛ-елемента

Для виміру споживаного ТТЛ-елементом струму необхідно в коло живлення увімкнути резистор невеликого номіналу (рисунок 1.4), а на вхід схеми подати від функціонального генератора прямокутну напругу амплітудою 2,5 В. На осцилограмах чітко видні розходження споживаного струму при одиничному і нульовому вихідних сигналах. Збільшення струму під час перехідних процесів пов'язано з протіканням наскрізних струмів через відкриті вихідні транзистори.

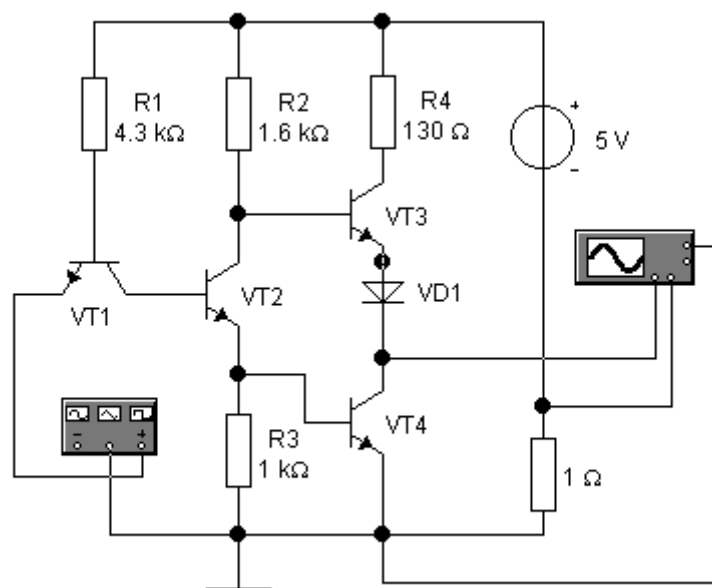


Рисунок 1.4 – Вимір споживаного струму ТТЛ-елементом

У лабораторній роботі виміряються основні динамічні параметри ТТЛ-елементів:

- t_{0-1} – час затримки розповсюдження сигналу при переході вихідної напруги з «0» у «1»;
- t_{1-0} – час затримки розповсюдження сигналу при переході вихідної напруги з «1» у «0»;
- $t_{cp} = (t_{0-1} + t_{1-0}) / 2$ – середній час затримки розповсюдження сигналу.

Ці параметри можна виміряти за осцилограмами, подаючи на вхід схеми (рисунки 1.1 або 1.2) прямокутну напругу з виходу функціонального генератора.

Середній час затримки розповсюдження сигналу в логічних елементах можна виміряти за осцилограмою, якщо перевести в режим генерації замкнуті в кільце логічні елементи (рисунок 1.5). При непарній кількості логічних елементів негативний зворотний зв'язок приводить до подачі на вхід схеми вихідного сигналу в протифазі до вхідного. Але наявність затримки розповсюдження сигналу в кожному логічному елементі може привести до генерації, якщо сумарний час затримки дорівнює половині періоду, тобто зворотний зв'язок з негативного перетворюється в позитивний. Вимірявши за осцилограмою період генерації (T) у схемі на рисунку 1.5, можна визначити середній час затримки розповсюдження сигналу в одному логічному елементі за формулою

$$t_{cp} = T / (2 * n), \quad (1.1)$$

де n – кількість елементів, замкнутих у кільце.

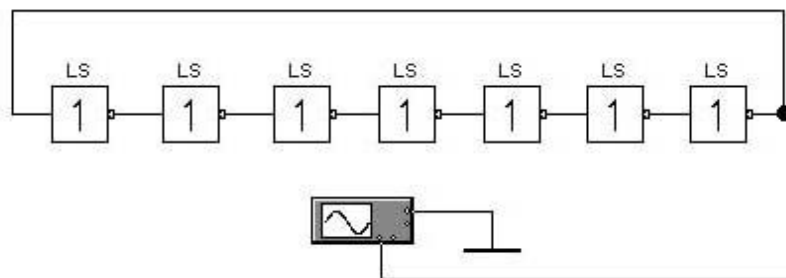


Рисунок 1.5 – Схема виміру середнього часу затримки розповсюдження сигналу

1.4 Порядок виконання роботи

1.4.1 Відповідно до варіанта завдання скласти схему базового логічного ТТЛ-елемента (рисунок 1.1 або 1.2). Зарисувати в звіт осцилограму передатної характеристики. За передатною характеристикою визначити статичні параметри елемента:

- вихідну напругу логічного нуля – $U_{0вих}$;
- вихідну напругу логічної одиниці – $U_{1вих}$;
- порогову напругу – $U_{пор}$;
- коефіцієнт підсилення за напругою ТТЛ-елемента.

Перевірити розрахунковий коефіцієнт підсилення. Для цього подати на вхід ТТЛ-елемента з виходу функціонального генератора пилоподібну напругу амплітудою 0,1 В і зсувом, рівним пороговій напрузі. Виміряти амплітуду напруги на виході елемента і розрахувати коефіцієнт підсилення.

1.4.2 Виміряти вхідну характеристику ТТЛ-елемента відповідно до рисунка 1.3. Визначити статичні параметри:

- струм при нульовому логічному рівні на вході - $I_{0вх}$;
- струм при одиничному логічному рівні на вході - $I_{1вх}$.

1.4.3 Виміряти струми, споживані ТТЛ-елементом (рисунок 1.4) при нульовому та одиничному логічному рівнях на виході. Вимірити пікові значення споживаного струму під час перехідних процесів.

1.4.4 Виміряти динамічні параметри ТТЛ-елемента, подаючи на вхід схеми (рисунок 1.1 і 1.2) прямокутні імпульси з виходу функціонального генератора.

1.4.5 Виміряти середній час затримки розповсюдження сигналу при замиканні в кільце непарної кількості ТТЛ-елементів (рисунок 1.5).

Контрольні запитання

1 Пояснити основні результати практичних досліджень: розрахувати $I_{0вх}$, $I_{1вх}$, $U_{1вих}$, струми споживання при нульовому та одиничному логічних сигналах на виході.

2 Пояснити призначення всіх резисторів і транзисторів у базовому ТТЛ-елементі.

- 3 Методи підвищення швидкодії ТТЛ-елементів.
- 4 Чи можна поєднувати виходи декількох ТТЛ-елементів?

Контрольні завдання

1 Якому логічному стану відповідає непідключений вхід ТТЛ-елемента?

2 Чому небажано залишати непідключеними невикористовувані входи ТТЛ-елементів? Куди підключаються невикористовувані входи ТТЛ-елементів?

3 Навести схеми елементів 2І-2АБО-НІ, 2АБО-НІ, 2І, 2АБО, схему з трьома станами виходу.

ЛАБОРАТОРНА РОБОТА 2

ДОСЛІДЖЕННЯ БАЗОВИХ ЛОГІЧНИХ КМОН- і ЕЗЛ-ЕЛЕМЕНТІВ

2.1 Мета роботи:

- поглибити і закріпити знання зі схемотехніки базових логічних елементів і виміру їх статичних і динамічних характеристик;
- поглибити і закріпити практичні навички роботи з програмним емулятором «ELECTRONICS WORKBENCH PRO», «ORCAD chematick».

2.2 Самостійна робота студентів

Перед виконанням лабораторної роботи студентам необхідно вивчити за пропонованою літературою і конспектом лекцій схемотехніку базових логічних КМОН- і ЕЗЛ- елементів і їх головні статичні і динамічні параметри.

Відповідно до варіанта завдання підготувати принципові схеми експериментів з урахуванням реальних елементів, що входять у програмний емулятор «ELECTRONICS WORKBENCH PRO» або «ORCAD chematick».

2.3 Методичні вказівки до організації самостійної роботи студентів

Відповідно до варіанта завдання (таблиця 2.1) підготувати у звіті принципову схему інвертора КМОН.

У лабораторній роботі досліджується передатна характеристика КМОН-елемента. Для цього на вхід схеми і на «вхід X» осцилографа подається пилоподібна напруга з виходу функціонального генератора. Напруга генератора змінюється від нуля до величини живильної напруги. На другий «вхід Y» осцилографа подається напруга з виходу досліджуваного КМОН-елемента (рисунок 2.1).

Таблиця 2.1 – Варіанти номіналів схеми КМОН-елементів

Варіант	1	2	3	4	5	6	7	8	9	10
Напруга живлення, В	3	4	5	6	7	8	9	10	11	12

Для виміру споживаного КМОН-елементом струму необхідно в коло живлення увімкнути резистор невеликого номіналу (рисунок 2.2), а на вхід схеми подати від функціонального генератора пилоподібну напругу. Напруга генератора змінюється від нуля до величини напруги живлення. На осцилограмах чітко видні наскрізні струми, що протікають через напіввідчинені транзистори під час перехідних процесів.

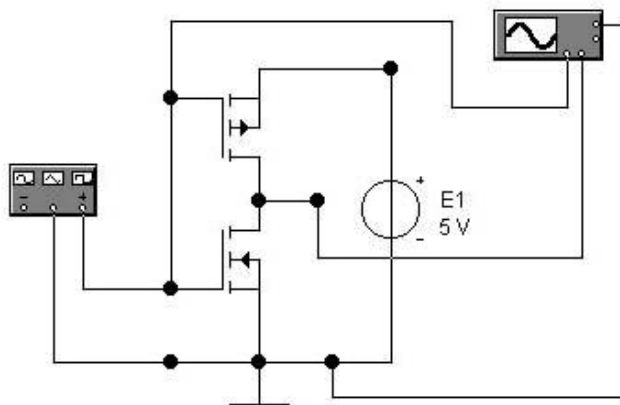


Рисунок 2.1 – Інвертор КМОН

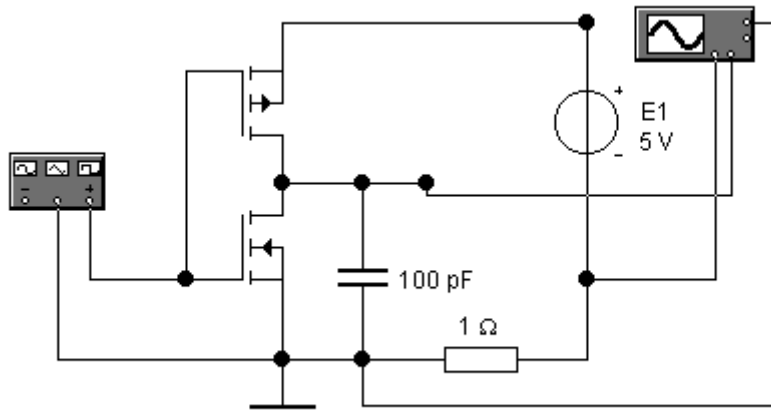


Рисунок 2.2 – Вимір споживаного струму КМОН-елементом

У лабораторній роботі виміряються основні динамічні параметри КМОН-елементів:

- t_{0-1} – час затримки розповсюдження сигналу при переході вихідної напруги з «0» у «1»;
- t_{1-0} – час затримки розповсюдження сигналу при переході вихідної напруги з «1» у «0»;
- $t_{cp} = (t_{0-1} + t_{1-0}) / 2$ – середній час затримки розповсюдження сигналу.

Ці параметри можна виміряти за осцилограмами, подаючи на вхід схеми (рисунок 2.1) прямокутну напругу з виходу функціонального генератора.

У лабораторній роботі досліджується передатна характеристика ЕЗЛ-елемента. Для цього на вхід схеми і на «вхід Х» осцилографа подається пилкоподібна напруга з виходу функціонального генератора (рисунок 2.3). Напруга генератора змінюється від нуля до величини живильної напруги. На другий «вхід Y» осцилографа подається напруга з виходу досліджуваного ЕЗЛ-елемента (рисунок 2.3). Зовнішній навантажувальний резистор (1 кОм) підключений до емітера транзистора VT6.

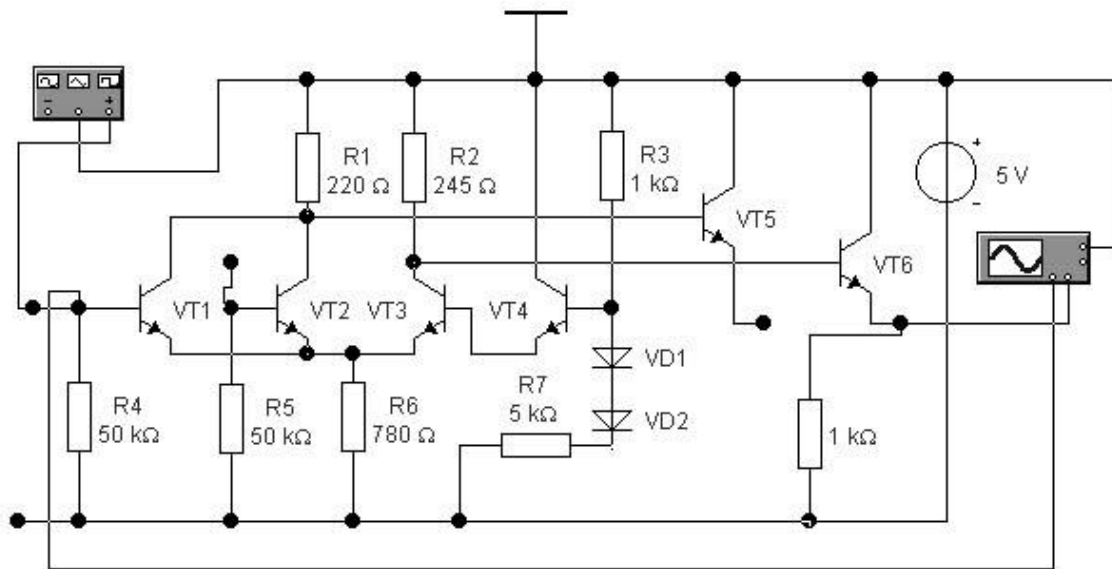


Рисунок 2.3 – Схема виміру передатної характеристики ЕЗЛ-елемента

У лабораторній роботі досліджується споживаний ЕЗЛ-елементом струм у режимі логічного «0» і логічної «1» на виході (рисунок 2.4). До виходів ЕЗЛ-елемента підключені зовнішні навантажувальні резистори (номіналом 1 кОм).

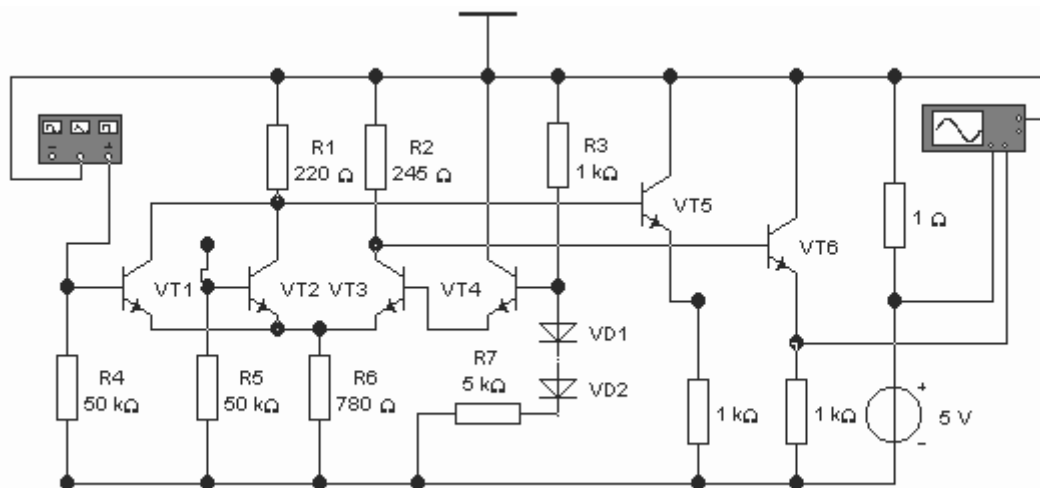


Рисунок 2.4 – Схема виміру споживаного струму ЕЗЛ-елементом

2.4 Порядок виконання роботи

2.4.1 Відповідно до варіанта завдання скласти схему базового логічного КМОН-елемента (рисунок 2.1). Зарисувати у звіт осцилограму передатної характеристики. За передатною характеристикою визначити статичні параметри КМОН-елемента:

- вихідну напругу логічного нуля – $U_{0вих}$;
- вихідну напругу логічної одиниці – $U_{1вих}$;
- порогову напругу – $U_{пор}$;
- коефіцієнт підсилення за напругою КМОН-елемента.

Перевірити розрахунковий коефіцієнт підсилення. Для цього подати на вхід КМОН-елемента з виходу функціонального генератора пилкоподібну напругу амплітудою 0,1 Вольт і зсувом, рівним пороговій напрузі. Виміряти амплітуду напруги на виході елемента і розрахувати коефіцієнт підсилення.

2.4.2 Виміряти струми, споживані КМОН-елементом (рисунок 2.2) при плавній зміні вхідної напруги. На вхід схеми подається пилкоподібна напруга, що змінюється від «0» до напруги живлення. Виміряти максимальне значення наскрізного струму через напіввідчинені транзистори.

2.4.3 Виміряти динамічні параметри КМОН-елемента, подаючи на вхід схеми (рисунок 2.1) прямокутні імпульси з виходу функціонального генератора. Паралельно виходу схеми підключити зовнішній конденсатор номіналом 100 пФ.

2.4.4 Виміряти споживаний струм КМОН-елементом при поданні на вхід прямокутної напруги (рисунок 2.2). Порівняти пікові значення струму з результатами дослідів 2.4.2.

2.4.5 Виміряти середній час затримки поширення сигналу при замиканні в кільце непарної кількості КМОН-елементів (рисунок 1.5).

2.4.6 Виміряти передатну характеристику ЕЗЛ-елемента для неінвертуючого (рисунок 2.3) та інвертуючого виходу. Зарисувати в звіт осцилограми передатних характеристик для інвертуючого та неінвертуючого виходів. За передатною характеристикою визначити статичні параметри ЕЗЛ-елемента:

- вихідну напругу логічного нуля - $U_{0вих}$;
- вихідну напругу логічної одиниці - $U_{1вих}$;

- порогову напругу - Упор;
- коефіцієнт підсилення за напругою ЕЗЛ-елемента.

Перевірити розрахунковий коефіцієнт підсилення. Для цього подати на вхід ЕЗЛ-елемента з виходу функціонального генератора пилкоподібну напругу амплітудою 0,02 В і зсувом, рівним пороговій напрузі. Виміряти амплітуду напруги на виході елемента і розрахувати коефіцієнт підсилення.

2.4.7 Виміряти споживаний струм ЕЗЛ-елементом (рисунок 2.4).

Контрольні запитання

- 1 Пояснити основні результати практичних досліджень.
- 2 Методи підвищення швидкодії КМОН- і ЕСЛ-елементів.
- 3 Чи можна залишати непідключеними невикористовувані входи КМОН- і ЕСЛ-елементів? Куди підключаються невикористовувані входи КМОН- і ЕСЛ-елементів?
- 4 Чи можна поєднувати виходи КМОН- і ЕСЛ-елементів?
- 5 Навести схеми КМОН-елементів 2І-НІ, 2АБО-НІ, 2І, 2АБО, схему з трьома станами виходу.

ЛАБОРАТОРНА РОБОТА 3

СИНТЕЗ ЛОГІЧНИХ КОМБІНАЦІЙНИХ СХЕМ (ПЕРЕМИКАЛЬНИХ ФУНКЦІЙ). ДОСЛІДЖЕННЯ СХЕМ НА МУЛЬТИПЛЕКСОРАХ

3.1 Мета роботи:

- поглибити і закріпити знання з синтезу логічних комбінаційних схем (ЛКС), з методів мінімізації перемикальних функцій;
- одержати практичні навички з реалізації ЛКС на мультиплексорах;
- поглибити і закріпити практичні навички роботи з програмним емулятором «ELECTRONICS WORKBENCH PRO» або «ORCAD chematick» .

3.2 Самостійна робота студентів

Перед виконанням лабораторної роботи студентам необхідно вивчити за пропонованою літературою і конспектом лекцій способи опису логічних комбінаційних схем (перемикальних функцій), методи мінімізації логічних комбінаційних схем (ЛКС), синтез ЛКС за булевими функціями на основі логічних елементів, що складають функціонально повну систему. Вивчити призначення й основні схеми мультимплексорів і демультимплексорів, вивчити методи реалізації ЛКС на основі мультимплексорів.

Таблиця 3.1 – Варіанти завдань

Варіант	Функція дорівнює 1 при наборах	Функція дорівнює 0 при наборах	Функція має довільне значення при наборах
1	1, 4, 8, 11, 14, 15	0, 2, 5, 6, 7, 12	на інших
2	1, 5, 7, 10, 12, 15	2, 3, 6, 8, 11, 14	на інших
3	3, 5, 8, 9, 11, 13	1, 4, 6, 7, 10, 15	на інших
4	0, 2, 7, 8, 10, 13	3, 4, 6, 9, 11, 14	на інших
5	2, 3, 6, 8, 13, 15	0, 5, 7, 10, 11, 14	на інших
6	0, 4, 6, 9, 11, 12	1, 3, 7, 8, 10, 14	на інших
7	1, 3, 7, 12, 14, 15	0, 4, 5, 9, 10, 13,	на інших
8	0, 4, 5, 9, 10, 14	1, 3, 7, 11, 13, 15	на інших
9	2, 5, 8, 11, 12, 13	1, 6, 7, 9, 10, 14	на інших
10	0, 3, 6, 8, 10, 14	1, 2, 5, 9, 11, 12	на інших
11	3, 6, 9, 11, 14, 15	2, 4, 5, 7, 10, 13	на інших
12	1, 3, 4, 9, 11, 15	2, 5, 6, 10, 12, 13	на інших

Відповідно до варіанта завдання підготувати принципові схеми експериментів з урахуванням реальних елементів, що входять у лабораторний макет УМ-11 або програмний емулятор «ELECTRONICS WORKBENCH PRO».

3.3 Методичні вказівки до організації самостійної роботи студентів

Відповідно до варіанта завдання (таблиця 3.1) провести синтез логічної комбінаційної схеми (ЛКС), що має чотири входи й один вихід.

Таблиця 3.2 – Таблиця станів булевої функції чотирьох змінних

X4	X3	X2	X1	Y1	Y2	Y3
0	0	0	0	x	1	0
0	0	0	1	1	1	0
0	0	1	0	0	0	1
0	0	1	1	1	1	0
0	1	0	0	1	1	1
0	1	0	1	0	0	1
0	1	1	0	0	0	0
0	1	1	1	x	1	1
1	0	0	0	x	0	1
1	0	0	1	1	1	1
1	0	1	0	0	0	0
1	0	1	1	1	1	1
1	1	0	0	0	0	0
1	1	0	1	0	0	0
1	1	1	0	x	0	1
1	1	1	1	1	1	0

Розглянемо порядок синтезу ЛКС на прикладі варіанта 12 (таблиця 3.1). Для заданої булевої функції записуємо таблицю станів (таблицю істинності) (див. стовпець Y1 у таблиці 3.2), рисунок 3.1.

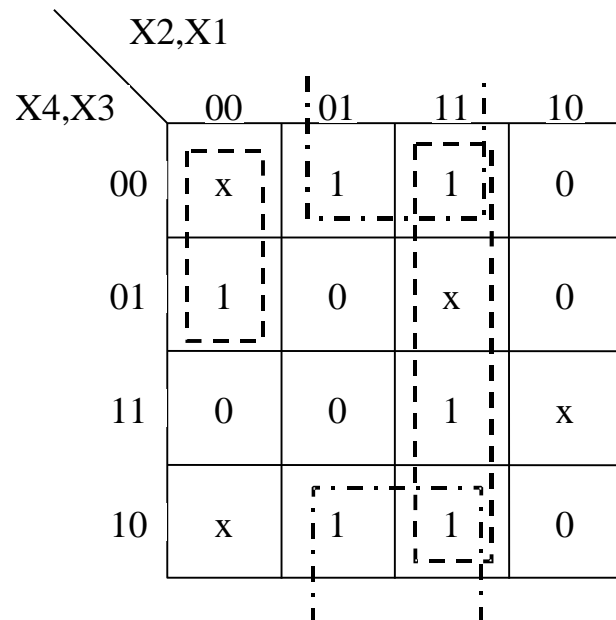


Рисунок 3.1 – Карта Карно (діаграма Вейча) для булевої функції чотирьох змінних

Мінімізована булева функція

$$Y = \overline{X1} \overline{X2} \vee \overline{X1} \overline{X3} \vee \overline{X1} X2 X4$$

Для синтезу ЛКС необхідно вибрати функціональну повну систему логічних елементів, наприклад, елементи Шеффера – «І-НІ» (рисунок 3.2).

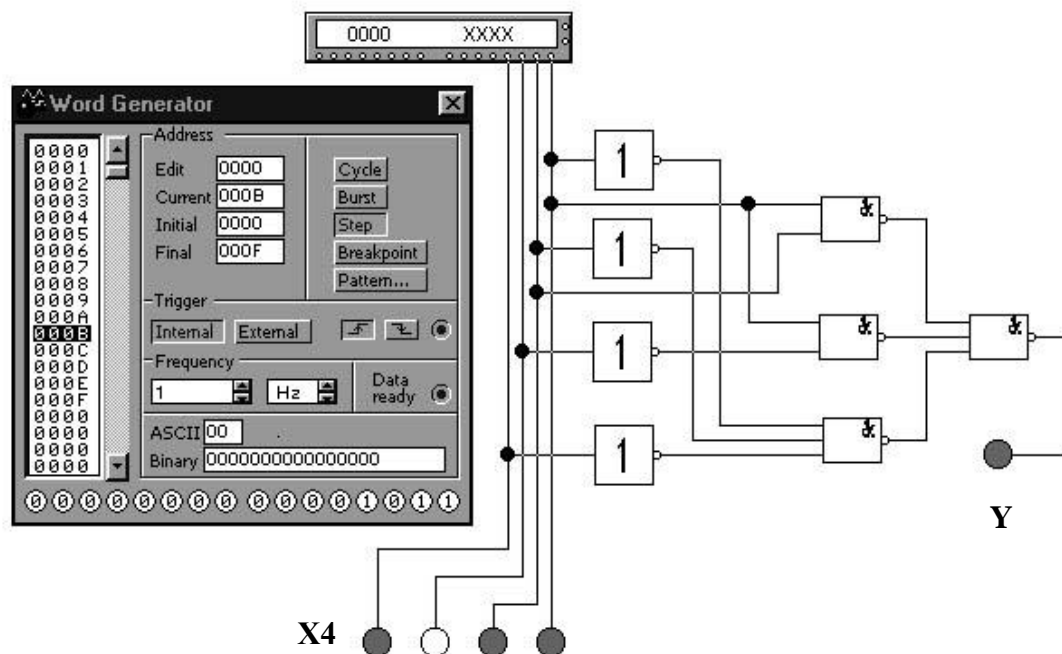


Рисунок 3.2 – Синтезована логічна комбінаційна схема

Логічна операція «АБО» реалізована на елементі Шеффера з урахуванням правила де - Моргана. Стани вхідних логічних змінних X1, X2, X3, X4 задаються генератором «WordGenerator», а контролюються індикаторами (або на нижньому рядку панелі «WordGenerator»). Вихідний стан ЛКС контролюється індикатором.

Реалізацію ЛКС на мультиплексорі (вісім входів на один вихід) розглянемо на прикладі логічної функції Y2. Цей метод не вимагає мінімізації. Логічна функція Y2 задається у вигляді таблиці станів (таблиця 3.2). На адресні входи мультиплексора А, В, С (див. рисунок 3.3) подаються старші розряди вхідного коду (X2,X3,X4). Старший розряд вхідного коду (X4) подається на старший розряд адреси (С).

Якщо на адресні входи мультиплексора подані сигнали логічних нулів, то сигнал з інформаційного входу D0 передається на вихід Y (логічні рівні на інших входах: D1..D7 - не впливають

на вихідний сигнал Y). Це відповідає першим двом рядкам таблиці стану (таблиця 3.2). У цих двох рядках вихідна логічна функція Y_2 дорівнює 1. Тому на вхід D_0 подається напруга логічної 1 (рисунок 3.3).

Якщо на адресні входи мультиплексора поданий двійковий код одиниці ($C=0, B=0, A=1$), то на вихід мультиплексора надходить сигнал з інформаційного входу D_1 . Це відповідає третьому і четвертому рядкам таблиці 3.2. У цих рядках вихідна логічна функція Y_2 повторює сигнал X_1 . Тому на вхід D_1 поданий вхідний сигнал X_1 (рисунок 3.3).

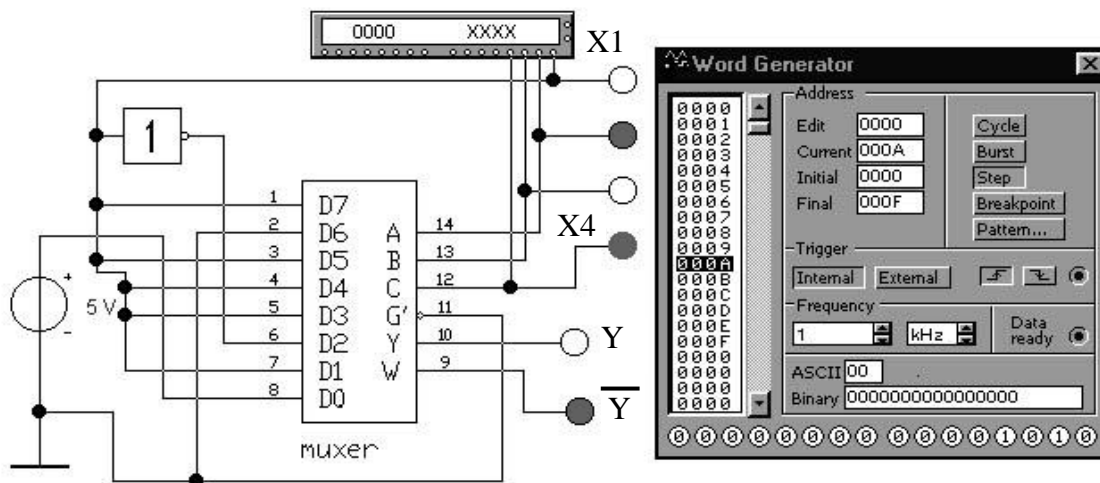


Рисунок 3.3 – Реалізація логічної комбінаційної схеми на мультиплексорі

На вхід D_2 подається інверсія вхідного сигналу X_1 , тому що в п'ятому і шостому рядках таблиці 3.2 вихідна функція Y_2 дорівнює інверсії сигналу X_1 . Аналогічно проводиться підключення інших входів $D_3...D_7$ мультиплексора.

Вихідний сигнал W (рисунок 3.3) дорівнює інверсії вхідного сигналу Y . Нульовий активний вхідний сигнал G дозволяє роботу мультиплексора. Якщо на вхід G подати неактивний одиничний логічний рівень, то на виході Y виставляється постійно логічний нуль, а на виході W – логічна одиниця.

Наявність входу G дозволяє каскадувати мультиплексори для реалізації функцій з більшою кількістю входів. Розглянемо реалізацію логічної функції п'яти змінних ($X_1...X_5$). Для цього необхідний мультиплексор «16 входів - на один вихід». Логічна

функція задана у вигляді таблиці станів (таблиця 3.2). Стовпець Y2 задає логічну функцію при нульовому значенні вхідного сигналу X5, а стовпець Y3 відповідає одиничному стану вхідного сигналу X5.

Логічну функцію п'яти змінних можна реалізувати також на двох мультиплексорах «8 - на 1» (рисунок 3.4). Для цього на вхід дозволу G першого мультиплексора поданий старший біт вхідного сигналу X5, а його інверсія - на вхід дозволу G другого мультиплексора. Вхідні сигнали X4, X3, X2 підключені паралельно до адресних входів (відповідно до C, B, A) обох мультиплексорів.

Якщо вхідний сигнал X5 дорівнює нулю (це відповідає першим 16-ти рядкам функції Y2), то на виході другого мультиплексора встановлений логічний нуль, а на виході першого мультиплексора формується сигнал Y2. Якщо вхідний сигнал X5 дорівнює одиниці (це відповідає наступним 16 рядкам функції Y3 у таблиці), то на виході першого мультиплексора встановлюється логічний нуль, а на виході другого - формується сигнал Y3. Вихідні сигнали двох мультиплексорів необхідно об'єднати логічним елементом «АБО». Наявність інверсних виходів W у мультиплексорів (рисунок 3.4) дозволяє поєднувати їхні виходи логічним елементом Шеффера «І-НІ» (з урахуванням правила де - Моргана).

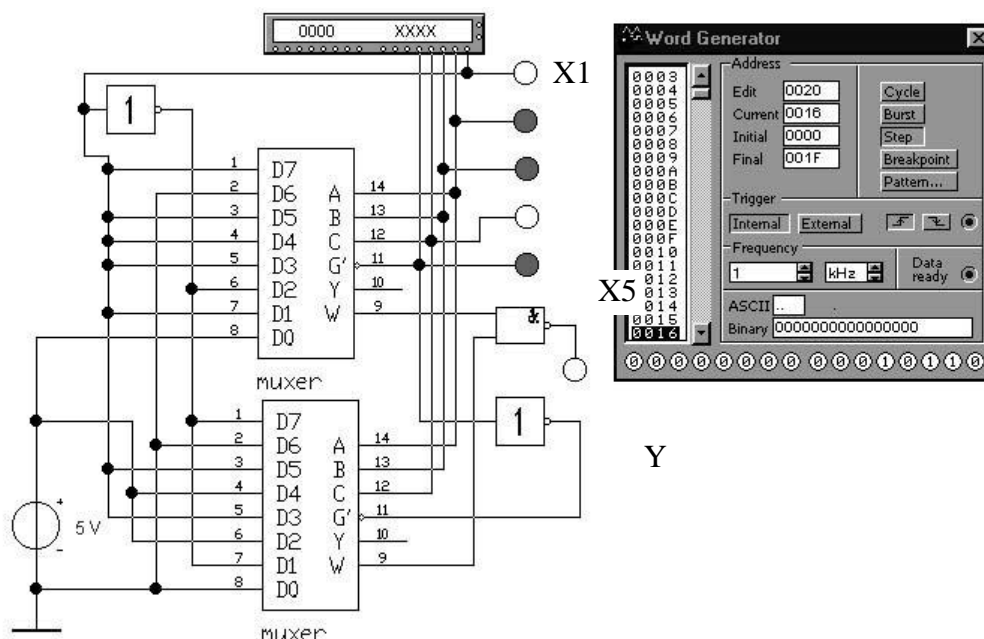


Рисунок 3.4 – Реалізація логічної комбінаційної схеми п'яти змінних на мультиплексорах

3.4 Порядок виконання роботи

3.4.1 Відповідно до варіанта завдання провести мінімізацію булевої функції і синтез ЛКС. Помістити в звіт таблицю істинності, діаграму Вейча, мінімізовану функцію і синтезовану схему на основі елементів Шеффера.

3.4.2 Скласти синтезовану ЛКС з елементів програмного емулятора «ELECTRONICS WORKBENCH PRO». Записати в стовпець Y2 таблиці істинності значення вихідного сигналу ЛКС при зміні вхідних змінних. Зробити висновки про конкретні значення вихідного сигналу Y2 для невизначених комбінацій вхідних сигналів відповідно до варіантів завдань.

3.4.3 Синтезувати і помістити в звіт ЛКС для сигналу Y2 на основі мультиплексора «вісім входів - на один вихід». Перевірити правильність функціонування схеми за таблицею істинності.

3.4.4 Синтезувати і помістити в звіт ЛКС із п'ятьма вхідними змінними для функцій Y2 і Y3 (стани функції Y3 вибрати довільно) на основі двох мультиплексорів «вісім входів – на один вихід». Перевірити правильність функціонування схеми за таблицею істинності.

Контрольні запитання

- 1 Пояснити основні результати практичних досліджень.
- 2 Що таке функціонально-повна система логічних елементів? Навести приклади функціонально-повних систем логічних елементів.
- 3 Пояснити методи задання (опису) і мінімізації ЛКС.
- 4 Пояснити метод синтезу ЛКС на основі мультиплексора.
- 5 Навести схеми реалізації мультиплексорів на логічних елементах.
- 6 Пояснити методи каскадування (розширення числа входів) мультиплексорів.

ЛАБОРАТОРНА РОБОТА 4

ДОСЛІДЖЕННЯ ТРИГЕРНИХ СХЕМ

4.1 Мета роботи

- поглибити і закріпити знання з синтезу тригерних схем;
- одержати практичні навички з експериментальної перевірки основних типів тригерів у статичному і динамічному режимах;
 - опанувати методом логічного проектування двоступінчастого тригера із заданим законом функціонування;
 - поглибити і закріпити практичні навички роботи з програмним емулятором «ELECTRONICS WORKBENCH PRO», «ORCAD chematick».

4.2 Самостійна робота студентів

Перед виконанням лабораторної роботи студентам необхідно вивчити за пропонованою літературою і конспектом лекцій принципи роботи основних типів тригерів на рівні їхнього математичного опису (таблиці та матриці переходів) і роботи функціональних схем.

Для одержання практичних навичок треба провести синтез заданого типу X-Y-тригера із використанням матриці переходів J-K-тригера відповідно до варіанта завдання (таблиця 4.6).

Відповідно до варіанта завдання підготувати принципові схеми експериментів із урахуванням реальних елементів, що входять у лабораторний макет або програмний емулятор «ELECTRONICS WORKBENCH».

4.3 Методичні вказівки до організації самостійної роботи студентів

У даній лабораторній роботі досліджується робота синхронних R-S-, J-K- і D- тригерів з асинхронною установкою початкового стану.

Схема одноканального (керованого потенціалом) R-S-тригера наведена на рисунку 4.1. Для перевірки роботи тригера в

статичному режимі необхідно скласти таблицю переходів (таблиця 4.1), в якій враховується також початковий (попередній) стан тригера (Q^-).

Для двох рядків таблиці (що враховують два вихідних стани тригера) необхідно зробити висновки про режим роботи:

- установка в «1»;
- скидання в «0»;
- збереження попереднього стану;
- режим з обірваними зворотними зв'язками або
- інверсія попереднього стану.

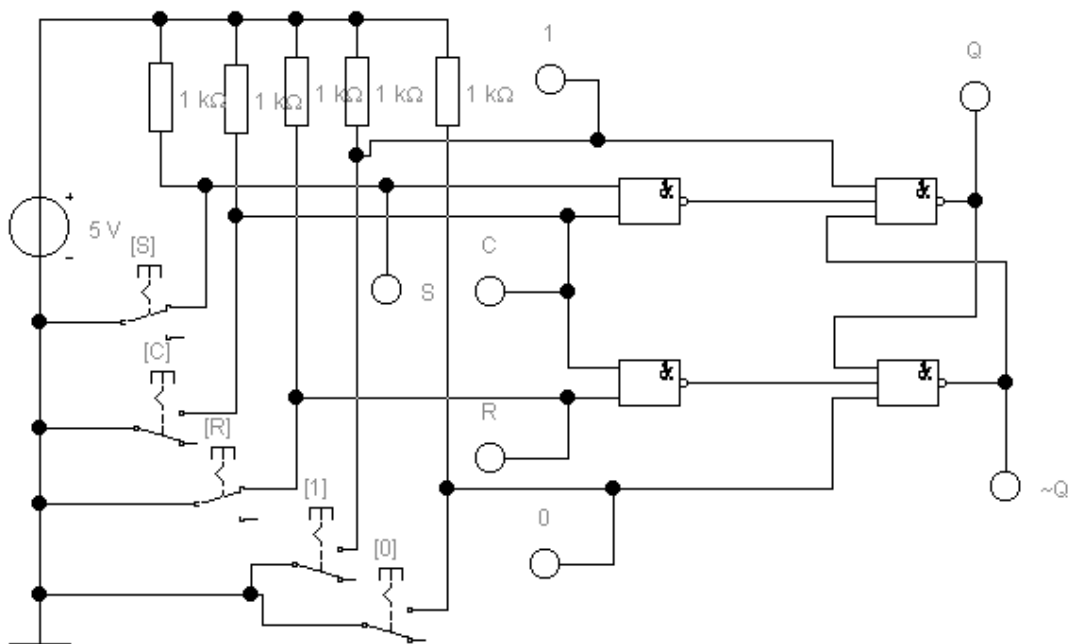


Рисунок 4.1 – Однотактний R-S-тригер

Аналогічну таблицю (таблиця 4.2) необхідно скласти і для двотактного тригера, відповідно до варіанта завдання. Приклади двотактних J-K- і D-тригерів наведені на рисунках 4.2 і 4.3.

Таблиця 4.1 – Таблиця переходів R-S-тригера

	Вхідні сигнали			Попередній стан виходу Q ⁻	Стан виходів		Режим
	R	S	C		Q	~Q	
1	x	x	0	0			
2	x	x	0	1			
3	0	0	1	0			
4	0	0	1	1			
5	0	1	1	0			
6	0	1	1	1			
7	1	0	1	0			
8	1	0	1	1			
9	1	1	1	0			
10	1	1	1	1			

Таблиця 4.2 – Таблиця переходів двотактного R-S-тригера

	Вхідні сигнали			Попередній стан виходу Q ⁻	Стан виходів		Режим
	R	S	C		Q	~Q	
1	x	x	0	0			
2	x	x	0	1			
3	x	x	1	0			
4	x	x	1	1			
5	0	0	↓	0			
6	0	0	↓	1			
7	0	1	↓	0			
8	0	1	↓	1			
9	1	0	↓	0			
10	1	0	↓	1			
11	1	1	↓	0			
12	1	1	↓	1			

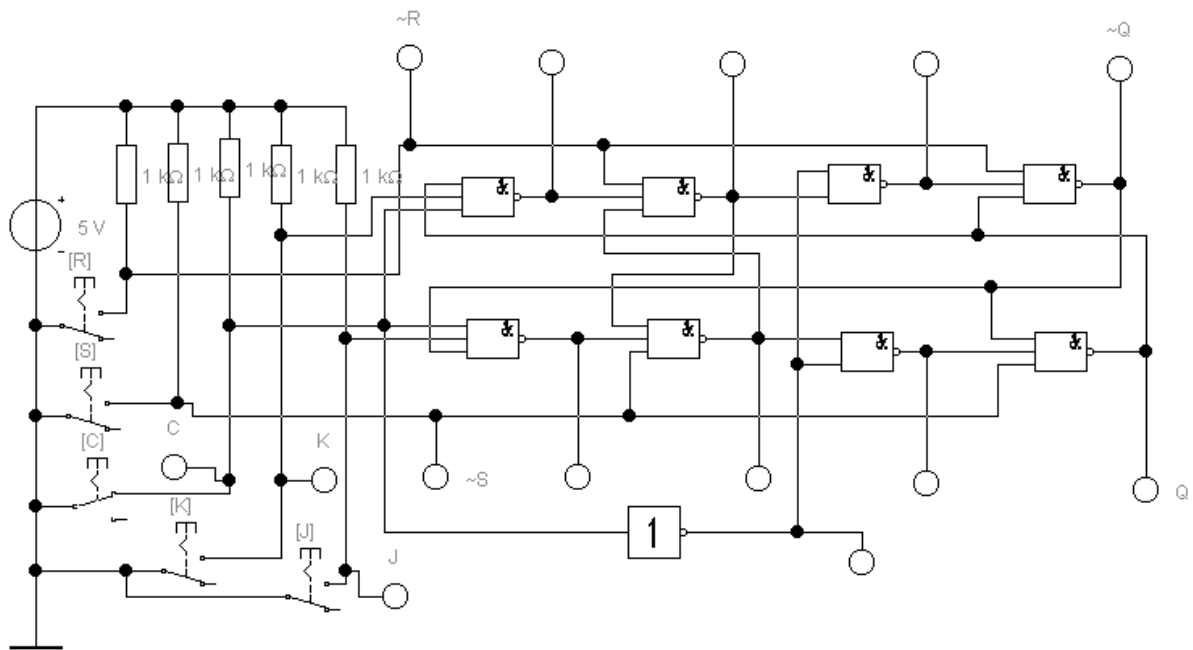


Рисунок 4.2 – Двотактний J-K-тригер

Для двотактного тригера необхідно реалізувати рахунковий режим і перевірити роботу рахункового (лічильного) тригера, подаючи на вхід прямокутні імпульси із функціонального генератора і контролюючи вхідні і вихідні сигнали лічильного тригера за осцилографом.

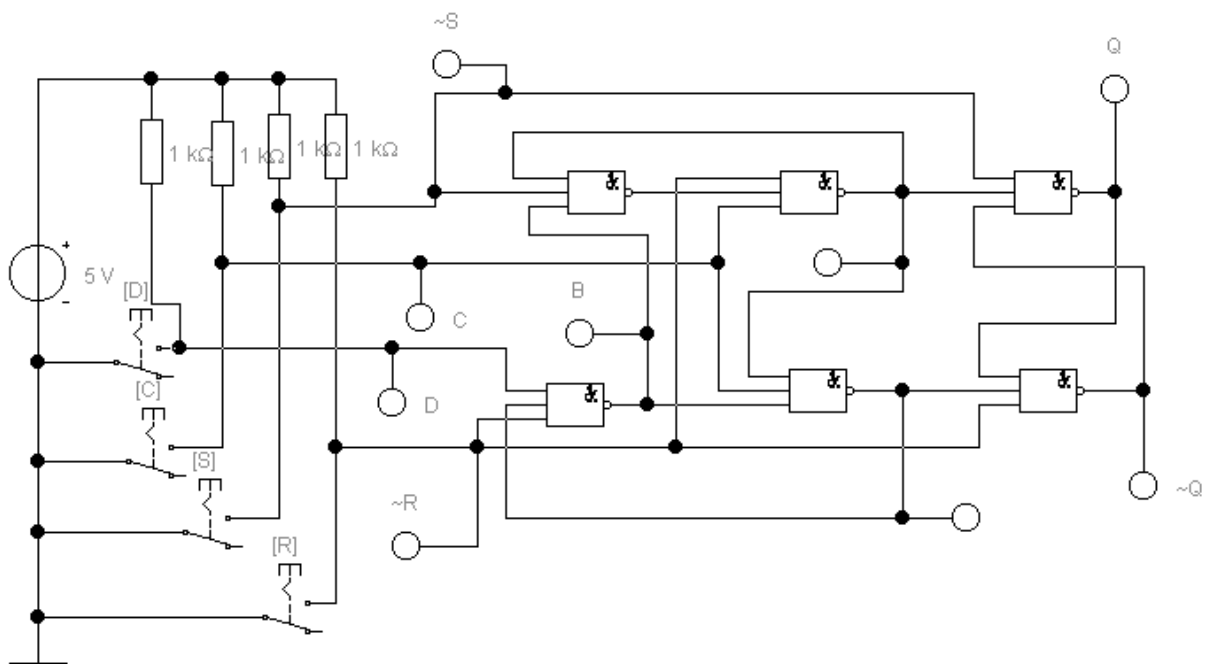


Рисунок 4.3 – Динамічний D-тригер, що тактується фронтом

На основі універсальних тригерів можна побудувати тригер з будь-яким довільним законом функціонування. Розглянемо синтез Х-У-тригера, що функціонує відповідно до таблиці переходів (див. останній варіант у таблиці 4.6), на основі J-К-тригера.

Складаємо повну таблицю переходів Х-У-тригера (таблиця 4.3), сполучену з матрицею умов переходів J-К-тригера (таблиця 4.4).

Таблиця 4.3 – Таблиця переходів Х-У-тригера

X	Y	Q ⁻	Q	J	K
0	0	0	0	0	x
0	0	1	1	x	0
0	1	0	1	1	x
0	1	1	1	x	0
1	0	0	1	0	x
1	0	1	0	x	1
1	1	0	0	0	x
1	1	1	0	x	1

Таблиця 4.4 – Матриця умов переходів J-К-тригера
(умови переходів J-К-тригера)

Q ⁻	Q	J	K	Умова переходу
0	0	0	x	скидання або збереження
0	1	1	x	інверсія або устанавлення
1	0	x	1	інверсія або скидання
1	1	x	0	устанавлення або збереження

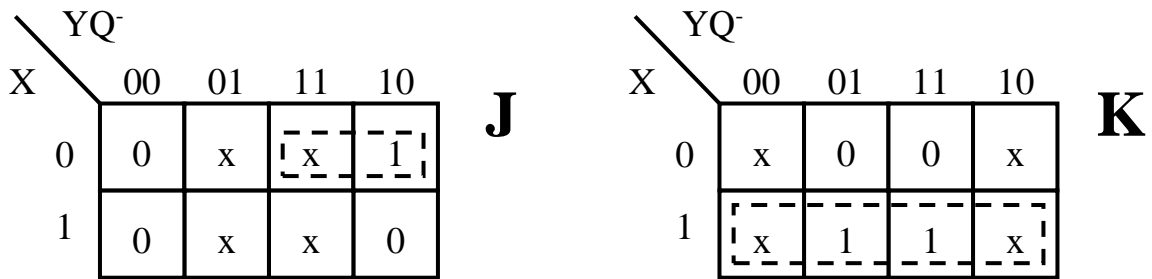


Рисунок 4.4 – Карти Карно для функцій J і K

Вважаючи, що J і K – функції від трьох змінних X, Y, Q̄, проведемо мінімізацію логічних рівнянь, що описують сигнали J, K (рисунок 4.4).

$$J = \overline{X}Y$$

$$K = X$$

Схема спроектованого X-Y-тригера наведена на рисунок 4.5.

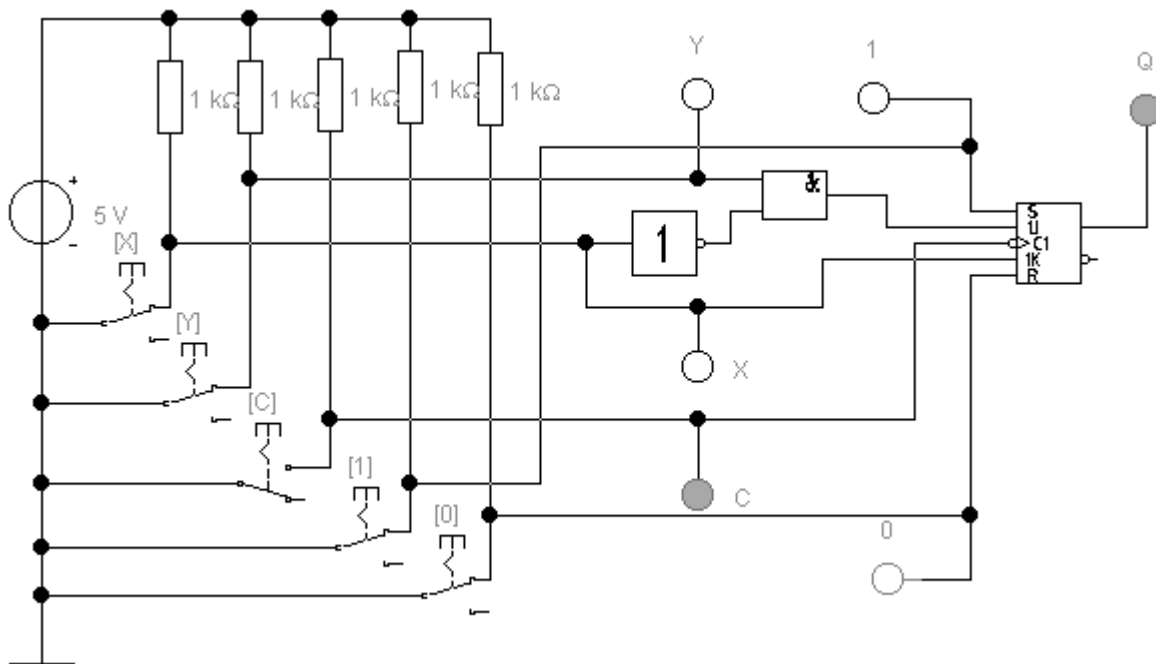


Рисунок 4.5 – Двотактний X-Y-тригер

4.4 Порядок виконання роботи

4.4.1 Відповідно до варіанта завдання (таблиця 4.5) скласти схему одноклапкового тригера з індикацією станів вхідних і вихідних сигналів світлодіодами. Перевірити всі комбінації вхідних сигналів і записати у звіт таблицю переходів для одноклапкового тригера (аналогічну таблиці 4.1).

Таблиця 4.5 – Варіанти першого завдання

Номер варіанта	Однотактний тригер	Двотактний тригер
1, 5, 9	R-S-	R-S-
2, 6, 10	D-	D-
3, 7, 11	R-S-	J-K-
4, 8, 12	D-	J-K-

4.4.2 Відповідно до варіанта завдання скласти схему двотактного тригера і помістити в звіт його таблицю переходів (аналогічну таблиці 4.2).

4.4.3 Перевести двотактний тригер у рахунковий режим і дослідити його роботу в динамічному режимі, подаючи на вхід прямокутні імпульси з функціонального генератора і контролюючи вхідні і вихідні сигнали рахункового тригера за осцилографом. Помістити в звіт осцилограми вхідних і вихідних сигналів рахункового тригера.

4.4.4 Відповідно до варіанта завдання (таблиця 4.6) провести синтез X-Y-тригера на основі J-K-тригера (позначення стану виходу: Q - зберегти попередній стан, $\sim Q$ - інверсія попереднього стану). Скласти схему тригера і за таблицею переходів перевірити правильність його роботи.

Таблиця 4.6 – Варіанти другого завдання

Входи		Варіанти									
		1	2	3	4	5	6	7	8	9	10
X	Y	Стан виходу (Q)									
0	0	0	1	$\sim Q$	$\sim Q$	0	1	0	Q	1	Q
0	1	1	$\sim Q$	1	0	$\sim Q$	$\sim Q$	$\sim Q$	0	0	1
1	0	Q	0	Q	Q	Q	0	1	$\sim Q$	$\sim Q$	$\sim Q$
1	1	$\sim Q$	Q	0	1	1	Q	Q	1	Q	0

Контрольні запитання

1 У чому відмінність між синхронними та асинхронними тригерами? Пояснити необхідність введення синхронізації.

2 У чому відмінність між однотактними і двотактними тригерами?

3 Як змінити напрямок фронту спрацьовування двотактного (динамічного) тригера?

4 Назвіть основні параметри тригера, що визначають його швидкодію. Назвіть методи підвищення швидкодії рахункових тригерів.

5 Як і в яких тригерах можна реалізувати рахунковий режим?

6 Як реалізувати D-тригер на основі J-K- або R-S-тригера?

7 Пояснити роботу двотактних R-S-, D- або J-K-тригерів.

8 У чому відмінність між прямим і інверсним входами тригера?

ЛАБОРАТОРНА РОБОТА 5

ДВІЙКОВІ ЛІЧИЛЬНИКИ І ЛІЧИЛЬНИКИ З ДОВІЛЬНИМ КОЕФІЦІЄНТОМ ДІЛЕННЯ

5.1 Мета роботи:

- поглибити і закріпити знання з побудови двійкових і десяткових синхронних і асинхронних лічильників (з послідовним і паралельним перенесенням), а також лічильників з довільним коефіцієнтом ділення;

- набути практичних навичок з дослідження і тестування синхронних і асинхронних лічильників (з послідовним і паралельним перенесенням), а також лічильників з довільним коефіцієнтом ділення;

- поглибити і закріпити практичні навички роботи з програмним емулятором «ELECTRONICS WORKBENCH PRO» або «ORCAD Chematick».

5.2 Самостійна робота студентів

Перед виконанням лабораторної роботи студентам необхідно вивчити методи побудови двійкових і десяткових синхронних і асинхронних лічильників з послідовним і паралельним перенесенням, а також лічильників з довільним коефіцієнтом ділення за пропонованою літературою і конспектом лекцій.

Відповідно до варіанта завдання підготувати принципові схеми експериментів з урахуванням реальних мікросхем, що входять у лабораторний макет або схемний емулятор ELECTRONICS WORKBENCH PRO.

5.3 Методичні вказівки до організації самостійної роботи студентів

Перед виконанням лабораторної роботи студенти повинні відповідно до варіанта завдання (таблиця 5.1) синтезувати чотирирозрядний синхронний лічильник (аналогічно прикладу 1).

У таблиці 5.1 записані шістнадцяткові коди, через які повинний послідовно пройти лічильник і повернутися у початковий стан.

Приклад 1. Синтезувати чотирирозрядний десятковий лічильник (див. варіант 12) на основі J-K-тригерів K155ТВ1.

Таблиця 5.1 – Варіанти першого завдання

Номер варіанта	Послідовність кодів, що генеруються (шістнадцяткові цифри)
1	3, 4, 5, 6, 7, 8, 9, A, B, C
2	0, 1, 2, 3, 5, A, C, D, E, F
3	0, 1, 4, 5, 7, 8, A, C, E, F
4	0, 1, 2, 3, 4, 5, 8, 9, A, B
5	0, 1, 2, 3, 6, 9, C, D, E, F
6	0, 1, 2, 3, 4, 8, 9, A, B, C
7	0, 1, 2, 3, 4, 5, 6, 7, C, D
8	0, 1, 2, 3, 5, 6, 9, A, C, D
9	4, 5, 6, 7, 8, 9, A, B, C, D
10	0, 1, 2, 3, 4, 5, 8, 9, B, C
11	0, 1, 2, 4, 5, 6, 7, 8, 9, A
12	5, 6, 7, 8, 9, A, B, C, D, E

Таблиця 5.2 – Таблиця переходів J-К-тригерів лічильника

Значення прямих виходів тригерів								Сигнали збудження тригерів							
Час t				Час t+1				T4		T3		T2		T1	
Q ₄	Q ₃	Q ₂	Q ₁	Q ₄	Q ₃	Q ₂	Q ₁	J ₄	K ₄	J ₃	K ₃	J ₂	K ₂	J ₁	K ₁
0	1	0	1	0	1	1	0	0	x	x	0	1	x	x	1
0	1	1	0	0	1	1	1	0	x	x	0	x	0	1	x
0	1	1	1	1	0	0	0	1	x	x	1	x	1	x	1
1	0	0	0	1	0	0	1	x	0	0	x	0	x	1	x
1	0	0	1	1	0	1	0	x	0	0	x	1	x	x	1
1	0	1	0	1	0	1	1	x	0	0	x	x	1	1	x
1	0	1	1	1	1	0	0	x	0	1	x	0	x	x	1
1	1	0	0	1	1	0	1	x	0	x	0	0	x	1	x
1	1	0	1	1	1	1	0	x	0	x	0	1	x	x	1
1	1	1	0	0	1	0	1	x	1	x	0	x	1	1	x

На першому етапі проектування будується таблиця переходів лічильника, сполучена з таблицею збудження входів тригерів J_i і K_i (таблиця 5.2).

При побудові таблиці збудження J-К-тригерів (таблиця 5.2) необхідно враховувати умови переходів J-К-тригера (таблиця 5.3):

Таблиця 5.3 – Матриця переходів J-К-тригера (умови переходів J-К-тригера)

Q(t)	Q(t+1)	J	K	Умови переходу
0	0	0	x	скидання або збереження
0	1	1	x	інверсія або устанавлення
1	0	x	1	інверсія або скидання
1	1	x	0	устанавлення або збереження

На наступному етапі необхідно мінімізувати перемикальні функції для усіх входів J_i і K_i , наприклад, методом діаграм Вейча, і подати їх у відповідному базисі – І-НІ, І-АБО-НІ, І, АБО, враховуючи наявність логічних елементів у схемному емуляторі ELECTRONICS WORKBENCH PRO.

На рисунку 5.1 наведені приклади діаграм Вейча для деяких входів J і K (порожні клітини в діаграмах – невикористовувані стани лічильника).

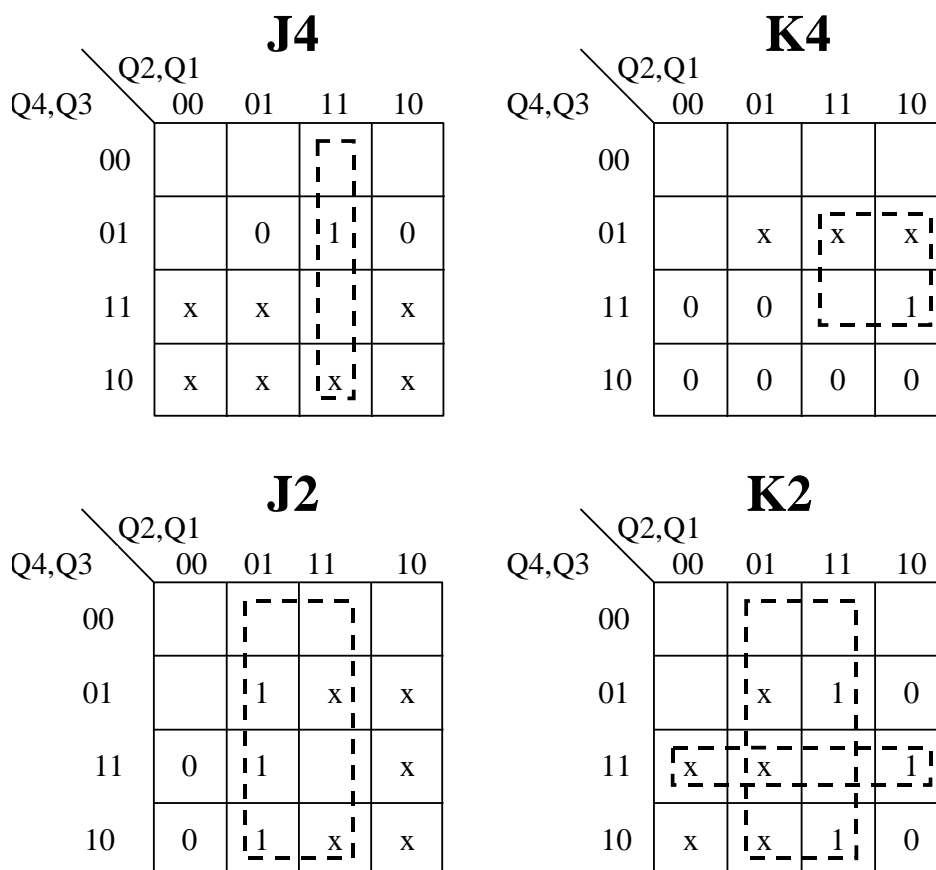


Рисунок 5.1 – Діаграми Вейча для входів J4, K4, J2, K2

На рисунку 5.2 наведена принципова схема синтезованого лічильника. Наявність вбудованих кон'юнкторів у мікросхемах К155ТВ1 дозволяє здійснювати розширення входів J і K за функцією «I». Логічна операція «АБО» реалізована на елементах Шеффера з урахуванням правила де - Моргана. Інверсні входи асинхронної установки «S» і «R» використовуються для визначення початкового стану лічильника. Індикація стану виходів тригерів лічильника здійснюється осцилографом.

На рисунку 5.3 наведена схема синхронного лічильника, підготовленого для дослідження схемним емулятором ELECTRONICS WORKBENCH PRO.

Після мінімізації функції J_i , K_i мають вигляд:

$$J_4 = Q_2 \& Q_1 ;$$

$$K_4 = Q_3 \& Q_2 ;$$

$$J_3 = K_3 = Q_2 \& Q_1 ;$$

$$J_2 = Q_1 ;$$

$$K_2 = Q_1 \vee Q_4 \& Q_3 = Q_1 \& (Q_4 \& Q_3) ;$$

$$J_1 = K_1 = 1 .$$

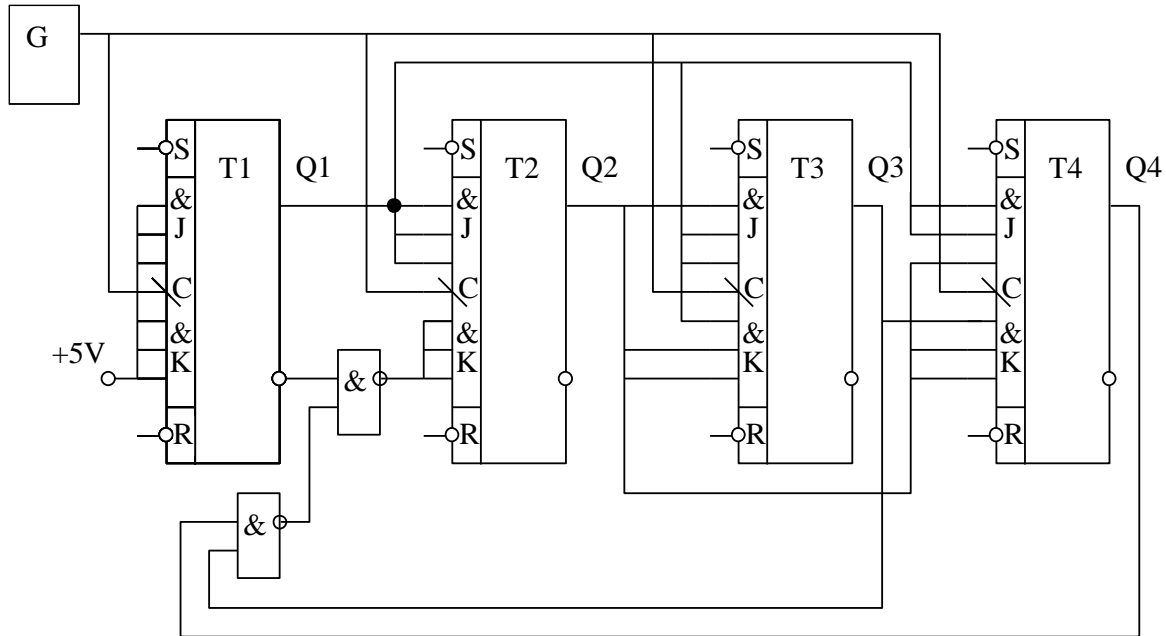


Рисунок 5.2 – Синхронний лічильник за варіантом 12

J-K-тригери з набору елементів емулятора мають тільки по одному входу J- і K-, тому логічні функції для керування цими входами реалізовані на окремих елементах «І», «АБО». Механічний контакт на 0,2 с подає активний нульовий рівень на входи асинхронної установки тригерів у початковий стан. Частота вихідних імпульсів функціонального генератора встановлюється не більш 1Гц для зручності спостереження станів лічильника (амплітуда напруги імпульсів дорівнює 2,5 В зі зсувом 2,5 В).

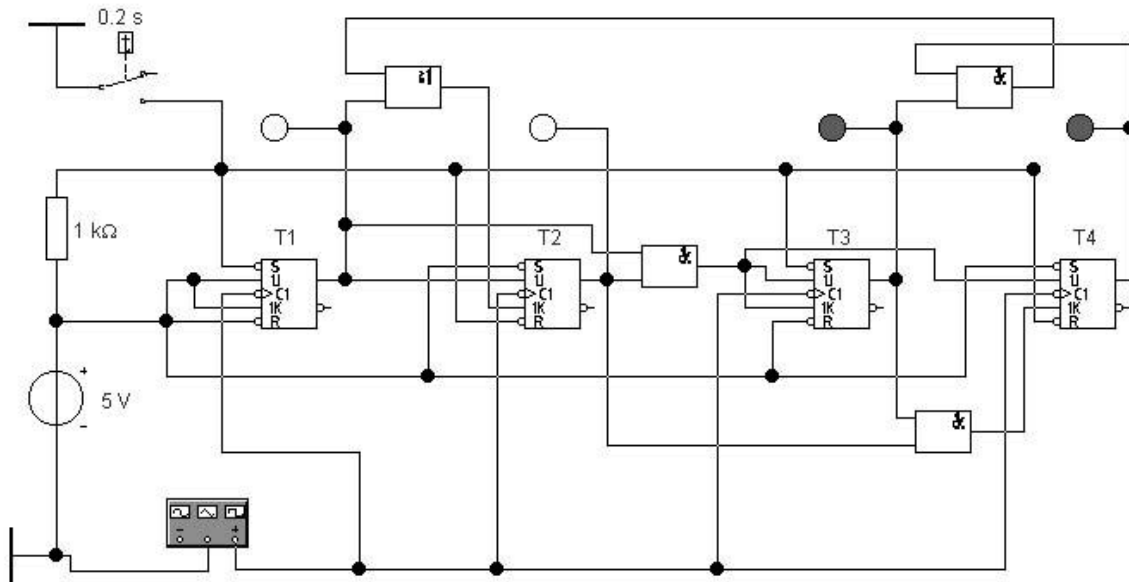


Рисунок 5.3 – Синхронний лічильник за варіантом 12

Приклад 2. Реалізацію лічильників з довільним коефіцієнтом ділення розглянемо на прикладі дільника на $k = 14$:

- визначаємо кількість тригерів :

$$N = \lceil \log_2 (k - 2) \rceil,$$

(знак $\lceil \dots \rceil$ - означає: найближче більше ціле),

$$N = \lceil \log_2 (14 - 2) \rceil = 4;$$

- переводимо в двійковий код число $k - 2$;

$$14 - 2 = 12 \text{ D} = 1100\text{B};$$

0 0 1 1 Код числа «12»

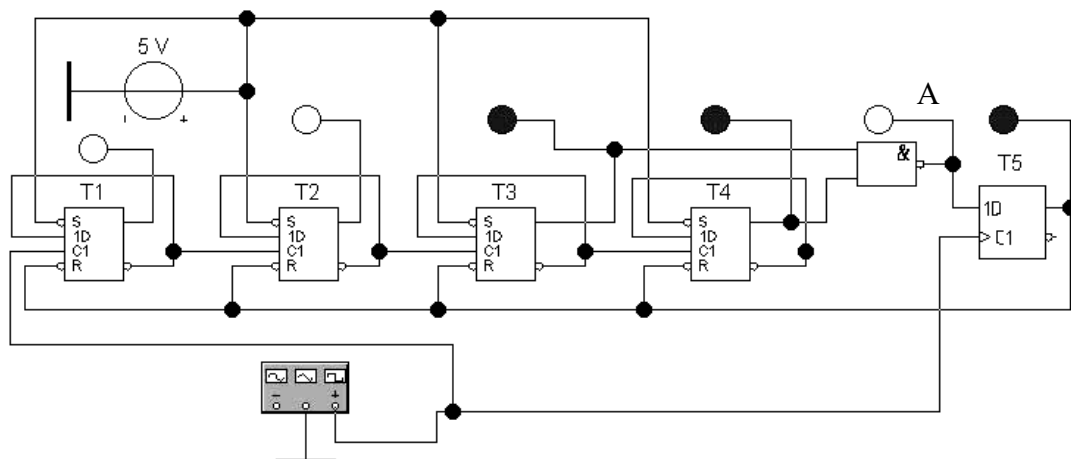


Рисунок 5.4 – Лічильник на 14

▪ у підсумовуючому лічильнику з кількістю тригерів N виділяємо розряди, яким в двійковому коді числа « $k - 2$ » відповідають одиниці; з виходів цих тригерів подаємо сигнали на елемент Шеффера; вихідний сигнал цієї схеми є інформаційним для додаткового D-тригера; сигнал з виходу D-тригера подається на входи асинхронного скидання усіх тригерів лічильника.

Таблиця 5.4 – Кодові комбінації лічильника $k = 14$

Код	T4	T3	T2	T1	A	T5
0	0	0	0	0	1	1
1	0	0	0	1	1	1
2	0	0	1	0	1	1
3	0	0	1	1	1	1
4	0	1	0	0	1	1
5	0	1	0	1	1	1
6	0	1	1	0	1	1
7	0	1	1	1	1	1
8	1	0	0	0	1	1
9	1	0	0	1	1	1
10	1	0	1	0	1	1
11	1	0	1	1	1	1
12	1	1	0	0	0	1
0	0	0	0	0	1	0

установлюється логічний «0», але в тригер T5 логічний «0» запишеться по задньому (висхідному) фронту наступного вхідного імпульсу (таблиця 5.4).

Після запису в тригер T5 «нуля» усі тригери лічильника (T1..T4) встановлюються в нульові стани активним низьким сигналом на входах асинхронного скидання R (рисунок 5.4). При

Лічильник реалізований на D-тригерах типу K1533TM2 (рисунок 5.4).

Над тригерами T1..T4 наведений двійковий код числа 12 (молодший розряд коду - над першим тригером). Виходи тригерів T3 і T4 підключені до входів елемента Шеффера.

Коди вихідних логічних сигналів для всіх тригерів і елемента «І-НІ» (точка A) наведені в таблиці 5.4.

При всіх станах, крім 12-го, на виході елемента Шеффера встановлюється логічна «1», яка по висхідному фронту кожного вхідного імпульсу записується в додатковий тригер T5. Після надходження 12-го імпульсу на виході схеми «І-НІ»

цьому на виході елемента Шеффера встановлюється логічна «1», що переписується в тригер по закінченні наступного вхідного імпульсу. Таким чином, лічильник по черзі перебирає всі стани від «0001» до «1100» і має два нульових стани (див. перший і останній рядки таблиці 5.4). Тому при реалізації лічильника необхідно використовувати код: «k – 2».

5.4 Порядок виконання роботи

5.4.1 Відповідно до варіанта завдання (таблиця 5.1) скласти схему синхронного лічильника. Подати викладачу для перевірки синтезовану схему.

5.4.2 Скласти схему лічильника з індикацією станів тригерів і запуском від генератора одиночних імпульсів (ГОІ).

Можлива реалізація синтезованої схеми і її аналіз на основі схемного емулятора ELECTRONICS WORKBENCH PRO.

Установити початковий стан (відповідно до варіанта завдання), подаючи для цього низький активний рівень на входи асинхронної установки S або R.

Подаючи одиночні імпульси, проаналізувати всі стани лічильника і записати їх у звіт.

5.4.3 Подати на вхід лічильника сигнал від генератора імпульсів і перевірити роботу схеми в динамічному режимі. Зарисувати в звіт осцилограми на виходах усіх тригерів.

5.4.4 Подати викладачу для перевірки схему лічильника з коефіцієнтом ділення, який вказує викладач.

Для цієї схеми повторити пункти **5.4.2** і **5.4.3**.

Контрольні запитання

1 На яких тригерах можна реалізувати лічильники (дільники)?

2 Як реалізувати рахунковий тригер на основі D-, R-S-, і J-K- тригерів?

3 Навести схеми і пояснити роботу підсумовуючих, відраховуючих і реверсивних лічильників.

4 Навести схеми і пояснити переваги і недоліки лічильників з послідовним і паралельним перенесенням.

5 Навести схеми дільників на : 3, 5, 6, 7, 9, 10, 12, 14, 15, 20 і ін.

6 Синтезувати лічильник з довільним коефіцієнтом ділення (за завданням викладача).

ЛАБОРАТОРНА РОБОТА 6

ДОСЛІДЖЕННЯ ПОСЛІДОВНИХ І КІЛЬЦЕВИХ РЕГІСТРІВ

6.1 Мета роботи:

- поглибити і закріпити знання з побудови паралельних, послідовних і кільцевих регістрів (кільцевих лічильників);
- набути практичних навичок з дослідження послідовних і кільцевих регістрів (кільцевих лічильників);
- поглибити і закріпити практичні навички роботи з програмним емулятором «ELECTRONICS WORKBENCH PRO» або «ORCAD chematick».

6.2 Самостійна робота студентів

Перед виконанням лабораторної роботи студентам необхідно вивчити методи побудови послідовних регістрів і кільцевих лічильників (кільцевих регістрів) за пропонованою літературою і конспектом лекцій.

Відповідно до варіанта завдання підготувати принципові схеми експериментів з урахуванням реальних мікросхем, що входять у лабораторний макет УМ-11 або програмний емулятор «ELECTRONICS WORKBENCH PRO».

6.3 Методичні вказівки до організації самостійної роботи студентів

При підготовці до лабораторної роботи необхідно усвідомити, що регістри призначені для виконання таких основних мікрооперацій над *n*-розрядним кодом:

- скидання регістра в стан «00..0» (всі нулі);
- установлення регістра в стан «11..1» (всі одиниці);
- приймання і збереження в регістрі коду числа;
- видача числа з регістра в прямому або зворотному коді;
- зсув збереженого в регістрі коду на задане число розрядів праворуч або ліворуч;
 - перетворення коду із паралельної форми запису в послідовну і навпаки.

Паралельні регістри для приймання і збереження операндів можуть бути реалізовані на одноктактних (що тактуються потенціалом) або двоктактних (що тактуються фронтом) D-тригерах. Необхідно зазначити, що D-тригер може бути реалізований на основі R-S- або J-K-тригера і додаткового інвертора.

Для реалізації послідовних регістрів необхідні тільки двоктактні (що тактуються фронтом) D-тригери або аналогічні R-S- чи J-K-тригери.

Універсальні регістри призначені для приймання, збереження і зсуву кодів. Тому вони можуть бути реалізовані тільки на двоктактних тригерах.

Перед виконанням лабораторної роботи студенти повинні, відповідно до варіанта завдання (таблиця 6.1), синтезувати послідовний регістр зсуву із зсувом вліво та із зсувом вправо, а також кільцеві лічильники (кільцеві регістри) із прямими і перехресними зворотними зв'язками.

Таблиця 6.1 – Варіанти завдань

Варіант	Тип тригерів	Кіль-сть розрядів	Початковий код регістра	Вхідний біт регістра	Початковий код кільцев. лічильника
1	D-	6	011010	0	001100
2	J-K-	5	11010	1	01110
3	D-	6	101010	1	011110
4	J-K-	5	10110	0	00011
5	D-	6	010110	1	110001
6	J-K-	5	01011	1	10001
7	D-	6	010101	0	010100
8	J-K-	5	10101	1	01100
9	D-	6	011101	1	111000
10	J-K-	5	10111	0	11011
11	D-	6	101101	0	001100
12	J-K-	4	1001	0	1001

Приклад 1. Синтезувати чотирирозрядний послідовний регістр зсуву на основі J-K-тригерів (таблиця 6.1, варіант 12) із зсувом ліворуч (рисунок 6.1) та із зсувом праворуч (рисунок 6.2).

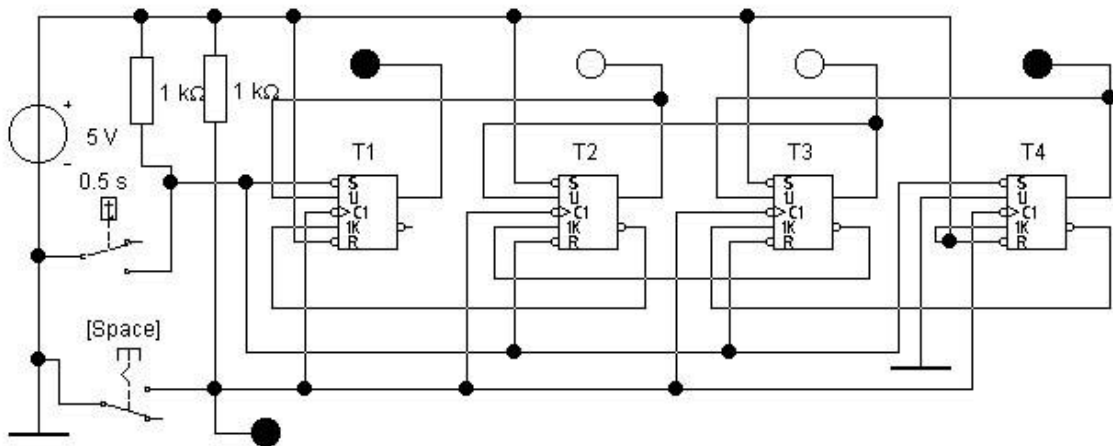


Рисунок 6.1 – Послідовний регістр із зсувом ліворуч

Початковий код регістра записується в тригери при поданні активного нульового рівня на входи асинхронної установки $\sim R$ або $\sim S$ від перемикача із часовою затримкою на 0,5 с (рисунки 6.1 і 6.2) після вмикання живлення. Імпульси зсуву формуються перемикачем, який керується клавішею «Space» (пробіл).

Вхідний нульовий біт регістра (відповідно до 12-го варіанта) заноситься у вхідний тригер регістра по фронту синхроімпульсів «С», якщо вхід «J» підключити до нульового логічного рівня, а вхід «K» підключити до одиничного логічного рівня.

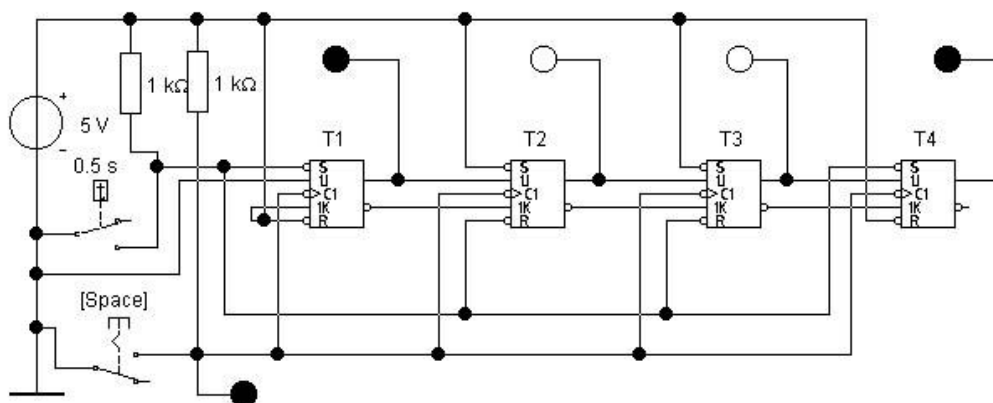


Рисунок 6.2 – Послідовний регістр із зсувом праворуч

Приклад 2. Послідовний регістр зсуву із прямими зворотними зв'язками (рисунки 6.3) утворює кільцевий лічильник (кільцевий регістр).

Перевагою кільцевих лічильників є максимальна швидкодія внаслідок синхронної роботи всіх тригерів.

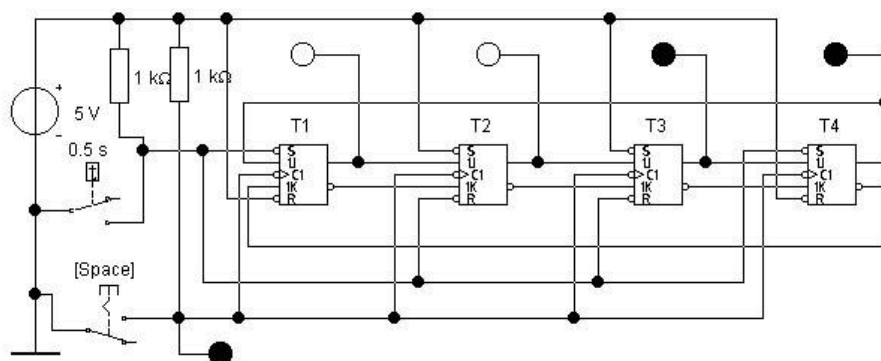


Рисунок 6.3 – Кільцевий регістр (кільцевий лічильник) на J-K-тригерах

Недоліком кільцевих лічильників є зациклення помилкових кодів при випадкових збоях у роботі схеми.

Приклад 3. Введення перехресних зворотних зв'язків у послідовний регістр дозволяє реалізувати кільцевий лічильник Джонсона (рисунок 6.4) з коефіцієнтом ділення у два рази більшим, ніж у звичайного кільцевого регістра (кільцевого лічильника).

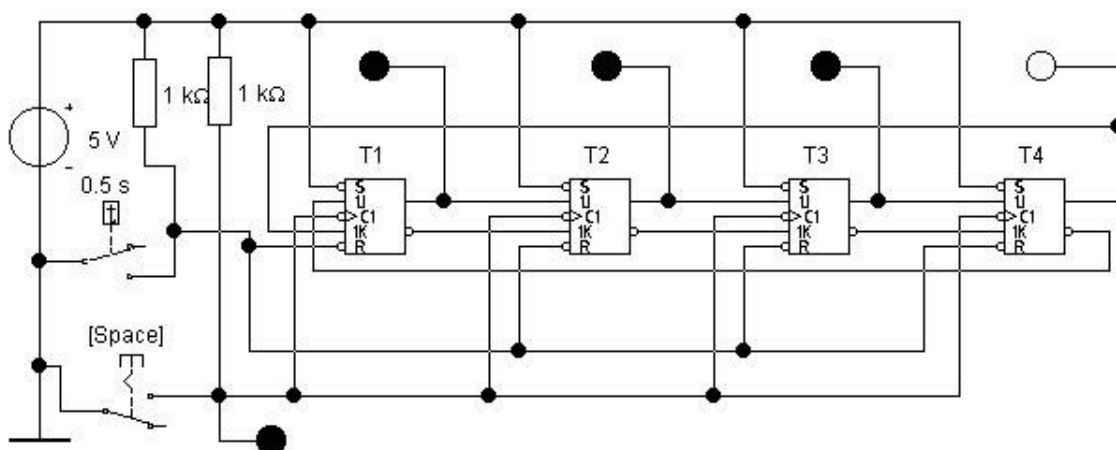


Рисунок 6.4 – Лічильник Джонсона на J-K-тригерах

6.4 Порядок виконання роботи

6.4.1 Подати викладачу схеми досліджуваних регістрів і кільцевих лічильників відповідно до варіанта завдань.

6.4.2 Скласти схему послідовного регістра (зсув вліво) з індикацією станів тригерів і запуском від Генератора Одиночних Імпульсів (ГОІ).

Можлива реалізація послідовного регістра і аналіз його роботи на основі схемного емулятора ELECTRONICS WORKBENCH PRO.

Установити початковий стан (відповідно до варіанта завдання), подаючи для цього низький активний рівень на входи асинхронної установки S або R.

Подаючи одиночні імпульси запуску, проаналізувати всі стани регістра і записати їх у звіт. Проаналізувати стани регістра і записати в звіт математичну операцію, виконувану над операндом у регістрі.

6.4.3 Скласти схему послідовного регістра із зсувом вправо. Повторити всі дії, описані в пункті 6.4.2.

6.4.4 Скласти схему кільцевого регістра (кільцевого лічильника) із індикацією станів тригерів та установити початковий стан відповідно до варіанта завдання.

Подаючи одиночні імпульси запуску, проаналізувати всі стани регістра (лічильника) і записати їх у звіт.

Подати на вхід лічильника сигнал від генератора імпульсів і перевірити роботу схеми в динамічному режимі. Записати в звіт осцилограми на виходах усіх тригерів.

6.4.5 Скласти схему лічильника Джонсона (кільцевого регістра з перехресними зворотними зв'язками) з індикацією станів тригерів та встановити нульовий початковий стан усіх тригерів (можливе установлення одиничного початкового стану всіх тригерів). Повторити всі дії, описані в пункті 6.4.4.

Контрольні запитання

1 На яких тригерах можна реалізувати паралельні і послідовні регістри, а також кільцеві лічильники (дільники)?

2 Як реалізувати D-тригер на основі R-S- або J-K- тригерів?

3 Навести схеми і пояснити роботу паралельних, універсальних і послідовних регістрів із зсувом праворуч, ліворуч, реверсивних.

4 Навести схеми кільцевих регістрів (кільцевих лічильників) і пояснити, чим обумовлюється їхній коефіцієнт ділення?

СПИСОК ЛИТЕРАТУРИ

1 Опадчий Ю. Ф., Глудкин О. П., Гуров А. И. Аналоговая и цифровая электроника. – М.: Горячая линия – Телеком, 2000. – 768 с.

2 Угрюмов Е. П. Цифровая схемотехника. – СПб.: БХВ-Петербург, 2001.

3 Карлашук В.И. Электронная лаборатория на IBM PC. – М.: Солон-Р, 2000. – 341 с.

4 Хоровиц П., Хилл У. Искусство схемотехники: в 3-х т. / Пер. с англ. – 4-е изд. – М.: Мир, 1993. – 624 с.

5 Зубчук В. И., Сигорский В. П., Шкуро А. Н. Справочник по цифровой схемотехнике. – К.: Техника, 1990. – 176 с.

6 Гутников В. С. Интегральная электроника в измерительных устройствах. – 2-е изд. – Л.: Энергоатомиздат, 1988. – 821с.

7 Зельдин Е. А. Цифровые интегральные микросхемы в информационно-измерительной аппаратуре. – Л.: Энергоатомиздат, 1986. – 178 с.

8 Схемотехника ЭВМ / Под ред. Г.Н. Соловьева. – М.: Высш. шк., 1985.

9 Игумнов Д. В., Королев Г. В., Громов И. С. Основы микроэлектроники. – М.: Высш. шк., 1991. – 582 с.

10 Голдсуорт Б. Проектирование цифровых логических устройств. - М.: Машиностроение, 1985. – 228 с.

