

**УКРАЇНСЬКИЙ ДЕРЖАВНИЙ УНІВЕРСИТЕТ
ЗАЛІЗНИЧНОГО ТРАНСПОРТУ**

**ФАКУЛЬТЕТ ІНФОРМАЦІЙНО-КЕРУЮЧИХ СИСТЕМ
ТА ТЕХНОЛОГІЙ**

Кафедра спеціалізованих комп'ютерних систем

МЕТОДИЧНІ ВКАЗІВКИ

**до практичних занять і курсового проєктування з дисципліни
«ЕЛЕКТРОНІКА ТА МІКРОСХЕМОТЕХНІКА»**

Частина 2

Дискретна електроніка

Розділ

Автомати з пам'яттю

Харків 2024

Методичні вказівки розглянуто і рекомендовано до друку на засіданні кафедри спеціалізованих комп'ютерних систем 12 лютого 2024 р., протокол № 8.

Методичні вказівки призначені для здобувачів вищої освіти першого (бакалаврського) рівня всіх форм навчання спеціальностей 123 «Комп'ютерна інженерія» і 174 «Автоматизація, комп'ютерно-інтегровані технології та робототехніка», які вивчають дисципліну «Електроніка та мікросхемотехніка».

Методичні вказівки орієнтовані на засвоєння здобувачами принципів синтезу автоматів із пам'яттю.

Укладач

доц. Л. А. Клименко

Рецензент

доц. І. В. Ковтун

ЗМІСТ

Вступ	4
1 Дискретний автомат із пам'яттю (основні поняття)	4
2 Автомати Мілі і Мура	5
3 Способи задавання синхронних автоматів із пам'яттю	6
3.1 Таблиці переходів і виходів	6
3.2 Графи переходів і виходів	7
4 Елементи пам'яті автоматів із пам'яттю	8
5 Процес синтезу синхронних автоматів із пам'яттю	10
6 Синтез пристрою визначення послідовності	16
7 Приклади синтезу синхронних автоматів із пам'яттю	21
7.1 Двійковий лічильник	21
7.2 Регістр зсуву	30
Задачі	33
Контрольні запитання	34
Список літератури	36
Додаток А	37

ВСТУП

В останні роки велику увагу приділяють методам проектування цифрових пристроїв.

У методичних указівках розглянуто процедури, що лежать в основі проектування та реалізації синхронних послідовних схем, інша назва яких синхронні автомати. Такі схеми широко використовують у цифрових пристроях, складені вони як із елементів комбінаційної логіки (розглянуті в методичних указівках частина 1 «Комбінаційні пристрої»), так і елементів пам'яті (тригерів різних типів).

Також розглянуто питання синтезу структури автоматів (етапи синтезу схем автоматів); приклади синтезу регістра зсуву, лічильника, пристрою виявлення послідовності сигналів; наведено задачі для самостійного розв'язання та проведення практичних занять.

1 ДИСКРЕТНИЙ АВТОМАТ ІЗ ПАМ'ЯТТЮ (ОСНОВНІ ПОНЯТТЯ)

У дискретних автоматах із пам'яттю (ДАП) стан їхніх виходів залежить як від сигналів, що діють на їхніх входах у певний момент часу, так і послідовності сигналів, що надійшли на входи автомата в попередні моменти часу. У загальному вигляді ДАП мають схему, подану на рисунку 1.1.

Для опису ДАП необхідно оперувати двома різними функціями: φ та f . Функція φ (функція переходів) описує зміну вмісту пам'яті залежно від того, що в ній зберігалось і того, які відбувалися зміни вхідних сигналів. Функція f (функція виходів) описує зміну вихідних сигналів автомата під впливом вхідних сигналів залежно від того, що було записано в пам'яті ДАП.

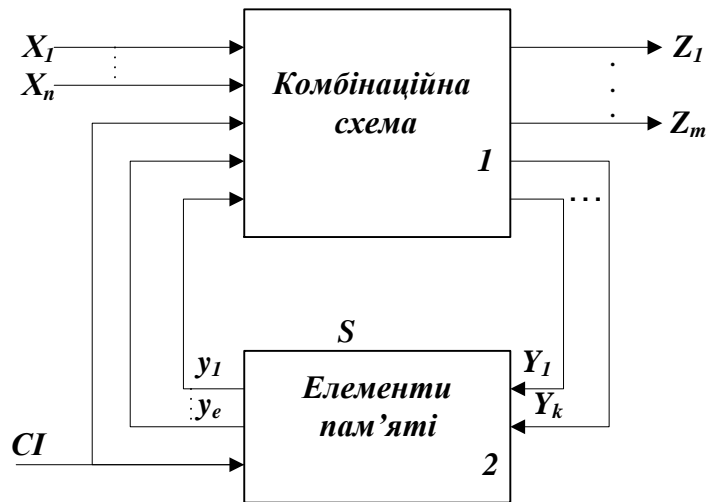


Рисунок 1.1 – Загальний вигляд автоматів із пам'яттю

ДАП складається з комбінаційної схеми (КС) 1 та елементів пам'яті (ЕП) 2. На входи КС надходять сигнали X_1, \dots, X_n . Крім вихідних сигналів Z_1, \dots, Z_m , КС1 формує сигнали Y_1, \dots, Y_k , що здійснюють перемикання ЕП2 в різні стани S . Вихідні сигнали ЕП2 y_1, \dots, y_e надходять на КС1.

Найбільш відомим різновидом дискретного АП є синхронний АП (САП).

Функціонування такого АП визначено сигналами, що надходять від деякого незалежного джерела синхронізації сигналів (СІ), які визначають такти роботи.

2 АВТОМАТИ МІЛІ І МУРА

У класі САП виділяють два основні типи автоматів:

1) автомат I роду (автомат Мілі):

$$S(t+1) = \varphi [S(t), X(t)];$$

$$Z(t) = f [S(t), X(t)];$$

2) автомат II роду (автомат Мура):

$$S(t+1) = \varphi [S(t), X(t)];$$

$$Z(t) = f [S(t)],$$

де $Z(t)$ – стан АП на виході в момент часу t ;

$X(t)$ – стан на вході в момент часу t ;

$S(t)$ – внутрішній стан у момент часу t ;

$S(t+1)$ – внутрішній стан у наступний момент часу $(t+1)$.

Видно, що в автоматі Мілі функція виходу залежить від стану входу та внутрішнього стану, а в автоматі Мура – тільки від внутрішнього стану.

3 СПОСОБИ ЗАДАВАННЯ СИНХРОННИХ АВТОМАТІВ ІЗ ПАМ'ЯТТЮ

3.1 Таблиці переходів і виходів

За цього способу кожен функцію – переходів і виходів – задають у вигляді таблиці, яку називають відповідно таблицею переходів і таблицею виходів. Розглянемо рисунок 3.1, а, б – приклади таблиці переходів і таблиці виходів ДАП Мілі.

а)			б)			в)		
S(t)	X(t)		S(t)	X(t)		S(t)	X(t)	
	X ₁	X ₂		X ₁	X ₂		X ₁	X ₂
S ₁	S ₃	S ₁	S ₁	Z ₁	Z ₁	1	3, Z ₁	1, Z ₁
S ₂	S ₁	S ₃	S ₂	Z ₁	Z ₂	2	1, Z ₁	3, Z ₂
S ₃	S ₁	S ₂	S ₃	Z ₂	Z ₁	3	1, Z ₂	2, Z ₁

а – S(t+1);
б – Z(t);
в – S(t+1), Z(t)

Рисунок 3.1 – Таблиці переходів і виходів ДАП Мілі

Результатом переходу із внутрішнього стану S_i (i -й рядок) під дією вхідного сигналу X_j (j -й стовпчик) є внутрішній стан $S(t+1)$, який на рисунку 3.1, а таблиці переходів указаний на перетині i -го рядка та j -го стовпчика. Задавання стану $S(t+1)$ являє собою задавання функції φ .

Таким само для рисунка 3.1, б на перетині i -го рядка та j -го стовпчика вказано стан виходу $Z(t)$, який буде мати АП у момент часу t із внутрішнім станом S_i і вхідним сигналом X_j . Задавання стану $Z(t)$ являє собою задавання функції f .

Часто таблицю переходів і виходів об'єднують в одну, як показано на рисунку 3.1, в.

Записом у кожній клітинці цієї таблиці є значення функції f у вигляді $Z(t)$ і φ у вигляді $S(t+1)$, які розділені комою.

Доведено, що АП Мілі може бути перетворений в еквівалентний йому АП Мура. Процедура перетворення така.

Оскільки в АП Мура стан виходу однозначно визначений внутрішнім станом, то таблиця виходів для нього вироджується в один стовпчик, який розміщений поряд із таблицею переходів. З рисунка 3.1, в видно, що перехід із стану 1 у стан 1 супроводжений видаванням сигналу Z_1 (перший рядок таблиці), а зі стану 3 у стан 1 – сигналу Z_2 (третій рядок таблиці). Тому замінюємо стан 1 двома різними станами:

- станом 1 із вихідним сигналом Z_1 ;
- станом 4 із вихідним сигналом Z_2 .

Далі перехід із стану 1 у стан 3 супроводжений видаванням сигналу Z_1 (перший рядок таблиці), а зі стану 2 у стан 3 – сигналу Z_2 (другий рядок таблиці). Тому також замінюємо стан 3 двома станами: станом 3 із вихідним сигналом Z_1 і станом 5 із вихідним сигналом Z_2 . Вносимо ці зміни в таблицю рисунка 3.1, в і отримуємо таблицю 3.1.

3.2 Графи переходів і виходів

Задавання АП графом переходів наглядне. Прикладом графа переходів є рисунок 3.2, який відповідає таблиці 3.1.

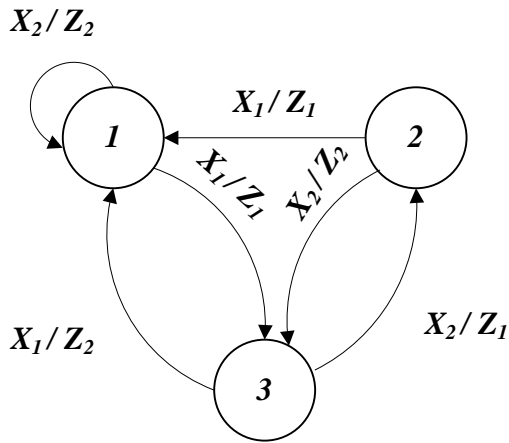


Рисунок 3.2

Таблиця 3.1 – S (t+1)

Z(t)	S(t)	X(t)	
		X ₁	X ₂
Z ₁	1	3	1
Z ₁	2	1	5
Z ₁	3	4	2
Z ₂	4	3	1
Z ₂	5	4	2

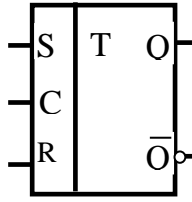
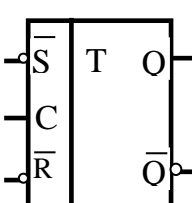
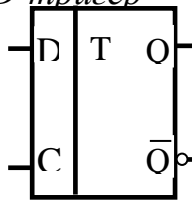
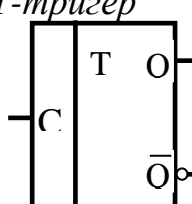
Тут кружками зображено вершини графів переходів, що відповідають внутрішньому стану АП, указаному в центрі кружка. Направлені дуги зі стрілками та подвійним записом над ними означають, що перехід АП, наприклад, із стану 1 у стан 3 відбувся під дією вхідного сигналу X_1 , при цьому сигнал на виході набув значення Z_1 , а перехід із стану 3 у стан 1 – під дією вхідного сигналу X_1 із сигналом на виході Z_2 і т. д.

4 ЕЛЕМЕНТИ ПАМ'ЯТІ АВТОМАТІВ ІЗ ПАМ'ЯТТЮ

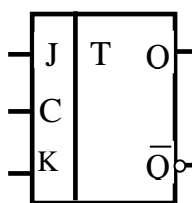
За реалізації АП як однобітові елементи пам'яті використовують тригери різних типів. Найбільш розповсюдженими на практиці є RS^- , \overline{RS}^- , D^- , T^- , JK -тригери. Умовні позначення, призначення входів, відповідні таблиці переходів і рівняння тригерів наведено в таблиці 4.1.

З таблиці 4.1 можна отримати таблицю збудження тригерів (таблиця 4.2), що показує, які сигнали необхідно подавати на входи тригерів для забезпечення всіх можливих переходів тригерів. У таблиці 4.2 y – стани виходів тригерів у моменти часу t та $t+1$: $Y_S, Y_R, Y_{\bar{S}}, Y_{\bar{R}}, Y_D, Y_T, Y_J, Y_K$ – вхідні сигнали відповідних тригерів; « \sim » – означає 0 або 1.

Таблиця 4.1 – Види тригерів (функціональне призначення)

Умовне позначення	Призначення входів	Таблиця переходів				Рівняння тригера		
		Такт t		Такт $(t+1)$				
		$y(t)=Q(t)$		$y(t+1)=Q(t+1)$				
<i>RS-тригер</i> 	<i>S - вхід</i> устанавленн я 1	$S(t)R(t)$				$y(t+1) =$ $= y(t)\bar{R}(t) +$ $+S(t)$ « \rightarrow » заборонений стан		
				00	01		11	10
		0	0	0	–		1	
		1	1	0	–		1	
<i>$\bar{R}\bar{S}$-тригер</i> 	<i>R - вхід</i> устанав- лення 0 <i>C - вхід</i> синхронізації	$\bar{S}(t)\bar{R}(t)$				« \rightarrow » заборонений стан		
				00	01		11	10
		0	–	1	0		0	
		1	–	1	1		0	
<i>D-тригер</i> 	<i>D - вхід</i> устанав- лення 0 або 1, <i>C - вхід</i> синхронізації	$D(t)$		$y(t+1) = D(t)$				
					0	1		
		0	0		1			
<i>T-тригер</i> 	<i>C - лічильний</i> вхід	$C(t)$		$y(t+1) =$ $= y(t)\bar{N}(t) +$ $+ \bar{y}(t)C(t)$				
					0	1		
		0	0		1			
		1	1	0				

Продовження таблиці 4.1

<p><i>JK-тригер</i></p> 	<p><i>J - вхід установлення 1, K - вхід установлення 0, C - вхід синхронізації</i></p>	<i>J(t)K(t)</i>				$y(t+1) = y(t)\bar{K}(t) + \bar{y}(t)J(t)$	
			<i>00</i>	<i>01</i>	<i>11</i>		<i>10</i>
		<i>0</i>	<i>0</i>	<i>0</i>	<i>1</i>		<i>1</i>
	<i>1</i>	<i>1</i>	<i>0</i>	<i>0</i>	<i>1</i>		

Таблиця 4.2 – Таблиця збудження тригерів

<i>y</i>		<i>RS</i>		$\bar{R}\bar{S}$		<i>D</i>	<i>T</i>	<i>JK</i>	
<i>t</i>	<i>t+1</i>	<i>Y_S</i>	<i>Y_R</i>	<i>Y_S</i>	<i>Y_R</i>	<i>Y_D</i>	<i>Y_T</i>	<i>Y_J</i>	<i>Y_K</i>
0	0	0	~	1	~	0	0	0	~
0	1	1	0	0	1	1	1	1	~
1	0	0	1	1	0	0	1	~	1
1	1	~	0	~	1	1	0	~	0

5 ПРОЦЕС СИНТЕЗУ СИНХРОННИХ АВТОМАТІВ ІЗ ПАМ'ЯТТЮ

Процедура синтезу САП складається з п'яти етапів. Розглянемо цю процедуру на прикладі побудовання схеми, що сприймає послідовність із трьох двійкових цифр і видає сигнал $Z = 1$ тільки тоді, коли на вхід X схеми подано комбінації 010, 011, 100, 111. За будь-яких інших послідовностей із трьох двійкових цифр $Z = 0$. Сигнал Z має з'явитися при

подаванні третьої цифри послідовності. Тривалість сигналу Z має дорівнювати тривалості CI .

На першому етапі, етапі становлення задачі, дано словесний опис задачі, деталізовано відомі входи та необхідні виходи. Легше за все цю інформацію зобразити у вигляді структурної схеми, показаної на рисунку 5.1, а.

На другому етапі будують граф переходів (рисунок 5.1, б). Пересування по цьому графу завжди буде починатися зі стану S_1 . З цього стану можна потрапити в стан S_2 , якщо подано сигнал X , або в стан S_3 , якщо подано сигнал \bar{X} . Зі стану S_2 і S_3 ведуть два шляхи:

- пов'язаний із сигналом переходу X ;
- із сигналом переходу \bar{X} .

Отже, разом маємо чотири шляхи, які ведуть до станів S_4 , S_5 , S_6 та S_7 . Для кожного з цих чотирьох станів існує вихідний шлях, що веде у стан S_1 (оскільки аналізуємо послідовності, що складаються з трьох цифр, то і кількість переходів від початкового стану S_1 до повернення в нього теж дорівнює трьом).

Шлях $S_1 - S_2 - S_4 - S_1$ веде до вихідного сигналу $Z = 1$ (у стані S_4). Шлях $S_1 - S_3 - S_6 - S_1$ так само веде до вихідного сигналу $Z = 1$ (у стані S_6). Інші два шляхи ($S_5 - S_1$ та $S_7 - S_1$) графа переходів пов'язані з тими послідовностями, розглядати які нема необхідності, оскільки в цьому разі $Z = 0$.

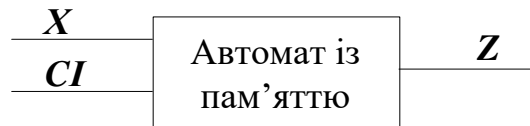
Розроблений граф переходів має сім станів, тобто для реалізації схеми, показаній на рисунку 5.1, потрібно три тригери (наприклад JK -тригери) і деяка додаткова кількість схем комбінаційної логіки.

Чим більше станів на графі переходів, тим більше апаратури необхідно для реалізації схеми.

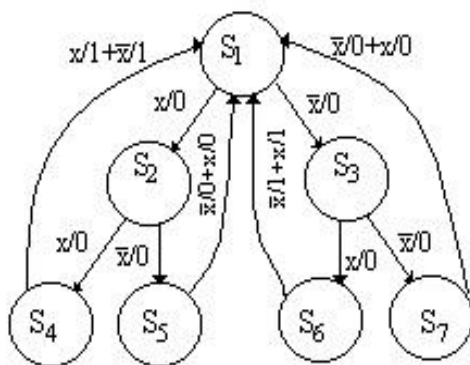
З цієї причини на третьому етапі синтезу САП здійснюють *мінімізацію* кількості станів. Скорочення станів відбувається за

визначеними правилами за допомогою таблиці станів. Наприклад, на рисунку 5.1, г наведено таблицю станів, що відповідає графу переходів, зображеному на рисунку 5.1, б.

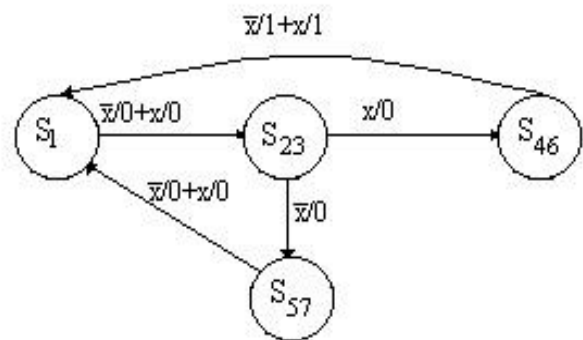
а)



б)



в)



г)

S(t)	x(t)	
	0	1
S ₁	S _{3,0}	S _{2,0}
S ₂	S _{5,0}	S _{4,0}
S ₃	S _{7,0}	S _{6,0}
● S ₄	S _{1,1}	S _{1,1}
○ S ₅	S _{1,0}	S _{1,0}
● S ₆	S _{1,1}	S _{1,1}
○ S ₇	S _{1,0}	S _{1,0}

д)

S(t)	x(t)	
	0	1
S ₁	S _{3,0}	S _{2,0}
S ₂	S _{57,0}	S _{46,0}
S ₃	S _{57,0}	S _{46,0}
● S ₄₆	S _{1,1}	S _{1,1}
● S ₅₇	S _{1,0}	S _{1,0}

е)

S(t)	x(t)	
	0	1
S ₁	S _{23,0}	S _{23,0}
S ₂₃	S _{57,0}	S _{46,0}
S ₄₆	S _{1,1}	S _{1,1}
S ₅₇	S _{1,0}	S _{1,0}

Рисунок 5.1, аркуш 1

ж)

t			t+1		Тригер 1		Тригер 2		Z
x	y ₁	y ₂	y ₁	y ₂	Y _{j1}	Y _{k1}	Y _{j2}	Y _{k2}	
0	0	0	0	1	0	~	1	~	0
0	0	1	1	0	1	~	~	1	0
0	1	1	0	0	~	1	~	1	1
0	1	0	0	0	~	1	0	~	0
1	0	0	0	1	0	~	1	~	0
1	0	1	1	1	1	~	~	0	0
1	1	1	0	0	~	1	~	1	1
1	1	0	0	0	~	1	0	~	0

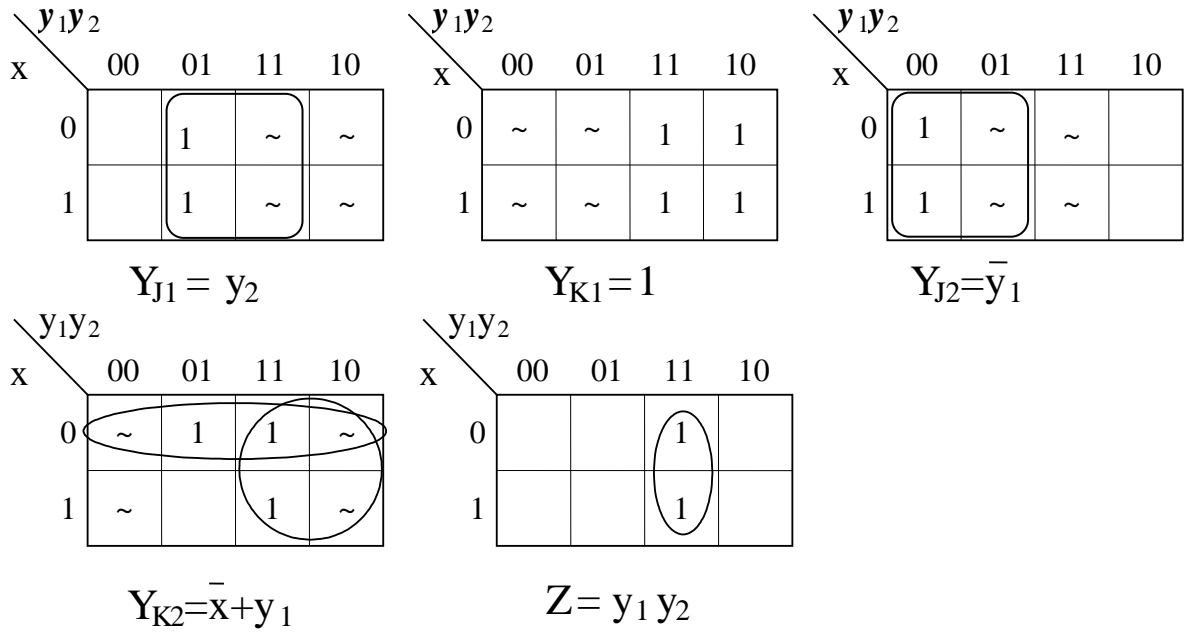
Рисунок 5.1, аркуш 2

Об'єднання рядків у таблиці станів (переходів-виходів) можна провести в тому випадку, якщо співпадають значення станів і виходів, вказаних у відповідних клітинках кожного з порівнюваних рядків. У таблиці на рисунку 5.1, г цим вимогам відповідають рядки S_4 і S_6 , S_5 і S_7 . Шляхом об'єднання станів S_4 і S_6 створено новий стан, позначений як S_{46} , до того ж якщо в таблиці деє присутній стан S_4 або S_6 , то його слід замінити на стан S_{46} . Стани S_5 і S_7 також після об'єднання створюють новий стан S_{57} . Використовуючи процедуру злиття, таблицю, наведену на рисунку 5.1, г, можна перетворити в таблицю, зображену на рисунку 5.1, д. У таблиці є два рядки, позначені як S_2 та S_3 , які також можна об'єднати. У результаті буде створено новий стан S_{23} . Відповідно таблиця на рисунку 5.1, д може бути перетворена в таблицю на рисунку 5.1, е. Їй відповідає граф переходів (рисунок 5.1, в), тотожний графу переходів на рисунку 5.1, б. Розглянуте зменшення кількості станів автомата називають *мінімізацією станів*.

На четвертому етапі синтезу АП необхідно розробити логічні рівняння схеми. Враховуючи кількість станів АП, необхідно визначити кількість тригерів, що забезпечать реалізацію цих станів. У цьому випадку необхідно використати два тригери. Крім того, слід вибрати тип цих тригерів. Наприклад, виберемо *JK*-тригери (таблиця 4.1). Далі будемо функціональну таблицю АП (рисунок 5.1, ж). У цій таблиці здійснено кодування станів АП шляхом заміни їхніх умовних позначень $S_1, S_{23}, S_{46}, S_{57}$ кодовими комбінаціями $y_1y_2 = 00, y_1y_2 = 01, y_1y_2 = 11, y_1y_2 = 10$. У лівій частині таблиці розміщений стовпчик значень вхідного сигналу X автомата, потім показані стани АП на тактах t і $t+1$. Сигнали Y_{J1} і Y_{K1}, Y_{J2} і Y_{K2} відповідають двом використовуваним тригерам. Їхні значення визначені для кожного рядка на підставі таблиці збудження тригерів (таблиця 4.2). Наприклад, якщо поточний стан АП $y_1y_2 = 00$ (S_1 на рисунку 5.1, е) і $X = 0$, тоді наступним станом АП буде $y_1y_2 = 01$ (S_{23} на рисунку 5.1, е). Із таблиці 4.2 отримуємо сигнали $Y_{J1} = 0, Y_{K1} = \sim, Y_{J2} = 1, Y_{K2} = \sim$, які необхідно подавати на входи J - і K -тригерів для забезпечення названих переходів (перемикання тригерів). Так само заповнюють усі рядки таблиці на рисунку 5.1, ж. Для отримання алгебраїчних виразів для функцій Y_{J1}, Y_{K1}, Y_{J2} і Y_{K2} складемо відповідні карти Карно і проведемо мінімізацію функцій (рисунок 5.2, а). У результаті отримаємо такі вирази: $Y_{J1} = y_2, Y_{K1} = 1, Y_{J2} = \bar{y}_1, Y_{K2} = \bar{x} + y_1$. Аналогічно визначають вираз для функції, що характеризує вихідний сигнал Z . Стовпчик значень вихідного сигналу АП Z розміщений у правій частині таблиці на рисунку 5.1, ж.

На п'ятому етапі синтезу АП відбувається реалізація схеми АП. З використанням логічних елементів *I-HE* та *JK*-тригерів схема набуває вигляду, показаного на рисунку 5.2, б.

a)



б)

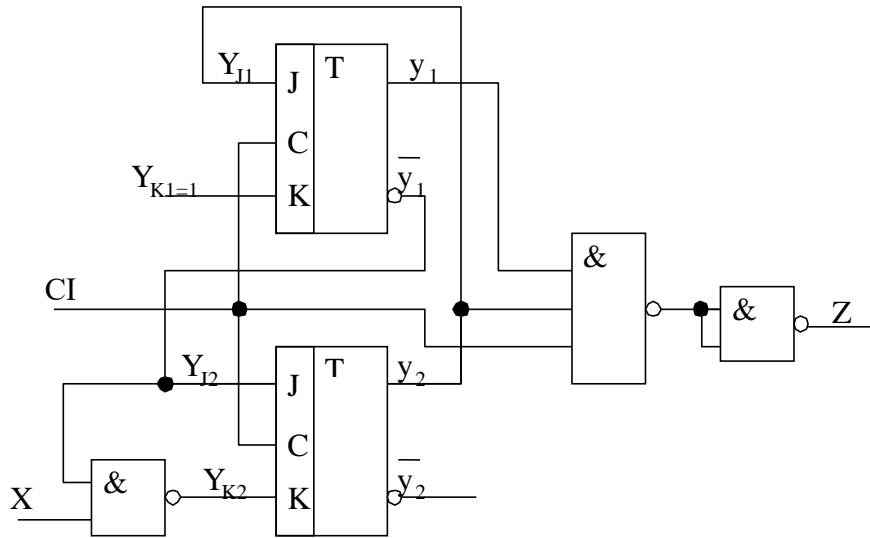


Рисунок 5.2

6 СИНТЕЗ ПРИСТРОЮ ВИЗНАЧЕННЯ ПОСЛІДОВНОСТІ

Двійкові дані у вигляді послідовного коду надходять на вхід X автомата (рисунок 6.1, а). Поява бітів сигналу співпадає з подаванням СІ (рисунок 6.1, б). За виявлення послідовності бітів 101 на виході Z АП має формуватися вихідний сигнал, що дорівнює 1.

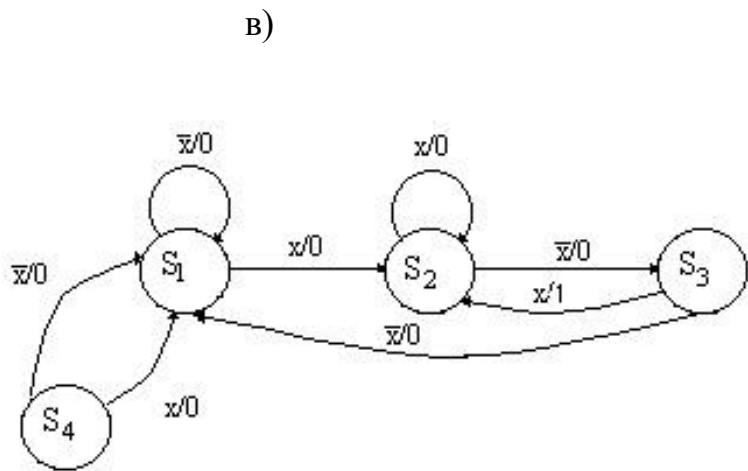
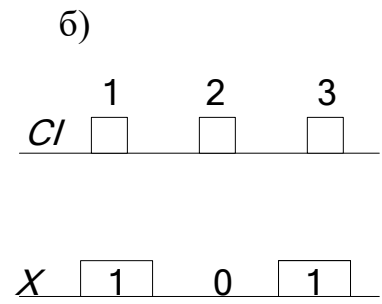
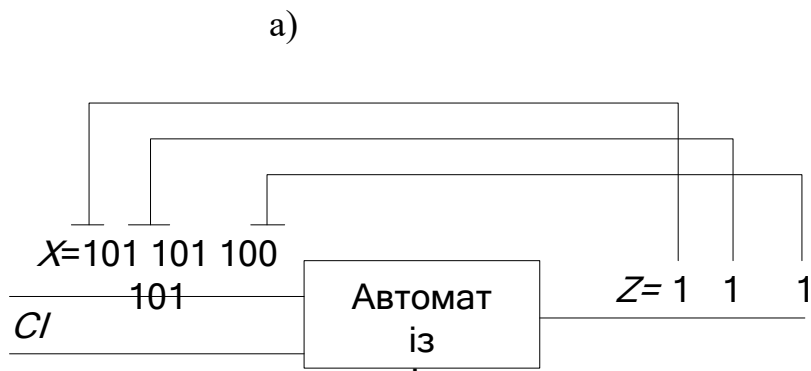
Граф переходів АП показаний на рисунку 6.1, в. Для виявлення послідовності 101 необхідно, щоб АП мав три стани S_1 , S_2 та S_3 . Реалізація трьох станів потребує використання двох тригерів. Два тригери дають змогу закодувати чотири стани 00, 01, 11, 10. У цьому випадку один із станів не використовують. Це стан S_4 на схемі рисунка 6.1, в. Після потрапляння в нього схема має бути наступним СІ переведена в стан S_1 .

Аналіз таблиці рисунка 6.1, г показує, що зменшити кількість станів неможливо, тому що в ній нема рядків, що повторюються.

Для отримання рівнянь, що описують поведінку АП, виберемо JK -тригери і складемо функціональну таблицю АП, подану на рисунку 6.1, д. Рівняння отримуємо шляхом використання карт Карно (рисунок 6.1, е).

Схема, зображена на рисунку 6.1, ж, являє собою АП Мілі, оскільки вихідний сигнал залежить як від станів тригерів y_1 , y_2 , так і значення входу X : $Z = x y_1 y_2$. Перетворимо схему на рисунку 6.1, ж у схему, що є автоматом Мура. Для цього проведемо зміну таблиці на рисунку 6.1, г у такий спосіб, щоб вихідний сигнал $Z = 1$ формувався тільки в одному стані, незалежно від значення вхідного сигналу X . З цією метою скористаємося станом S_4 (рядок 4 таблиці на рисунку 6.2, а). Як видно, вихідний сигнал $Z = 1$ формується тільки в цьому стані. Отже, можна виділити стовпчик виходу, що залежить тільки від внутрішніх станів АП, показаний на рисунку 6.2, б. Ця таблиця відповідає АП Мура.

Перехід від таблиці АП Мілі (рисунок 6.2, г) до таблиці еквівалентного АП Мура (рисунок 6.2, а) показаний на рисунку 6.3, де стан $S_{2,1}$ (рисунок 6.3, а) замінено станом $S_4^1,0$ (рисунок 6.3, б, в).



г)

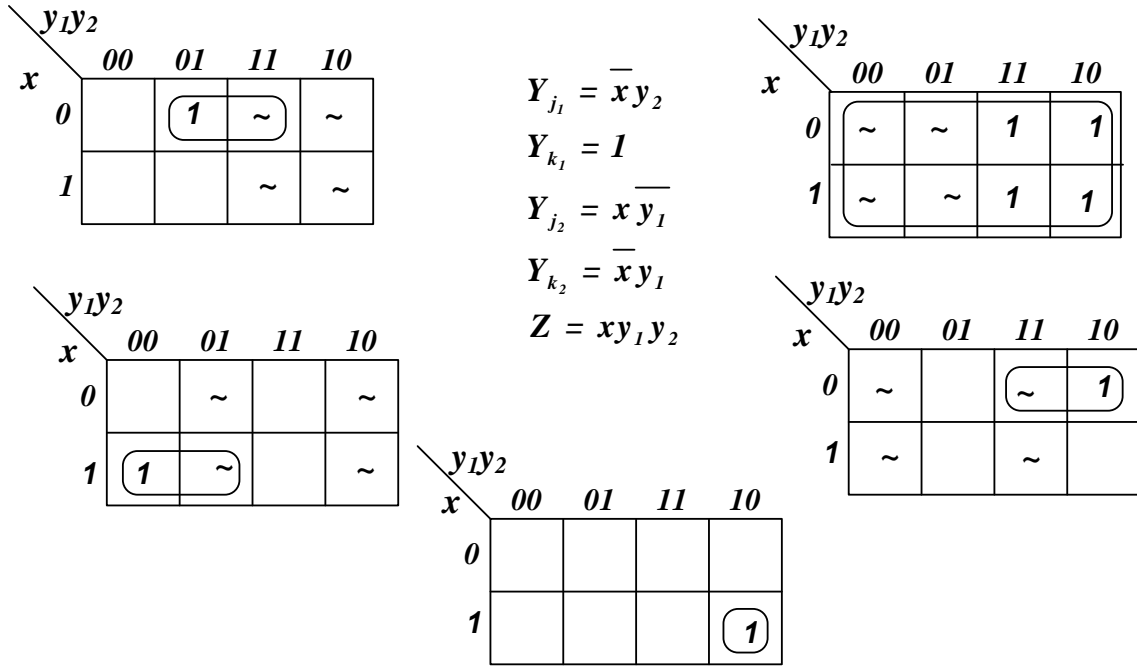
S(t)	x(t)	
	0	1
S ₁	S _{1,0}	S _{2,0}
S ₂	S _{3,0}	S _{2,0}
S ₃	S _{1,0}	S _{2,1}
S ₄	S _{1,0}	S _{1,0}

д)

t			t+1		Тригер 1		Тригер 2		Z
x	y ₁	y ₂	y ₁	y ₂	Y _{j1}	Y _{k1}	Y _{j2}	Y _{k2}	
0	0	0	0	0	0	~	0	~	0
0	0	1	1	1	1	~	~	0	0
0	1	1	0	0	~	1	~	1	0
0	1	0	0	0	~	1	0	~	0
1	0	0	0	1	0	~	1	~	0
1	0	1	0	1	0	~	~	0	0
1	1	1	0	1	~	1	~	0	1
1	1	0	0	0	~	1	0	~	0

Рисунок 6.1, аркуш 1

e)



ж)

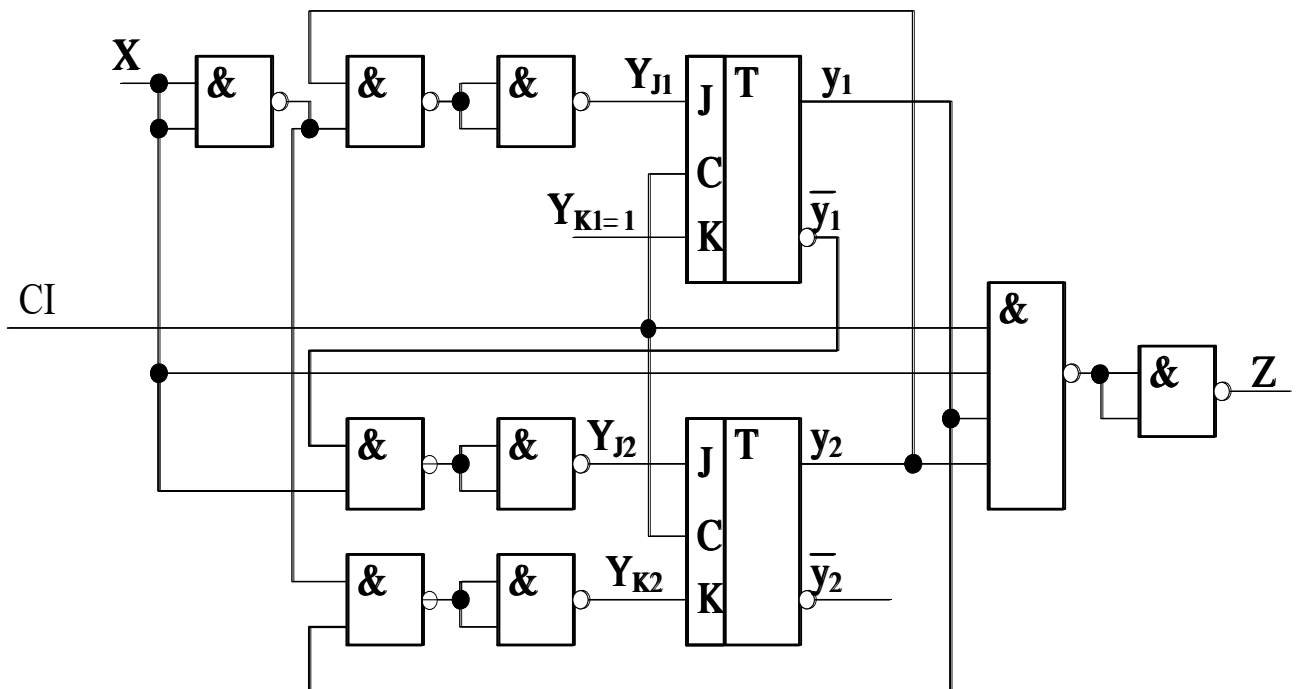


Рисунок 6.1, аркуш 2

a)

S(t)	x(t)	
	0	1
S ₁	S _{1,0}	S _{2,0}
S ₂	S _{3,0}	S _{2,0}
S ₃	S _{1,0}	S _{4,0}
S ₄	S _{3,1}	S _{2,1}

б)

Z(t)	S(t)	x(t)	
		0	1
0	S ₁	S ₁	S ₂
0	S ₂	S ₃	S ₂
0	S ₃	S ₁	S ₄
1	S ₄	S ₃	S ₂

в)

t			t+1		Триггер 1		Триггер 2		Z
x	y ₁	y ₂	y ₁	y ₂	Y _{j1}	Y _{k1}	Y _{j2}	Y _{k2}	
0	0	0	0	0	0	~	0	~	0
0	0	1	1	1	1	~	~	0	0
0	1	1	0	0	~	1	~	1	0
0	1	0	1	1	~	0	1	~	1
1	0	0	0	1	0	~	1	~	0
1	0	1	0	1	0	~	~	0	0
1	1	1	1	1	~	0	~	1	0
1	1	0	0	1	~	1	1	~	1

г)

		y ₁ y ₂			
		00	01	11	10
x	0		1	~	~
	1			~	~

$$Y_{j1} = \bar{x}y_2$$

$$Y_{k1} = \bar{x}y_2 + x\bar{y}_2$$

$$Y_{j2} = x + y_1$$

$$Y_{k2} = y_1$$

$$Z = y_1\bar{y}_2$$

Рисунок 6.2, аркуш 1

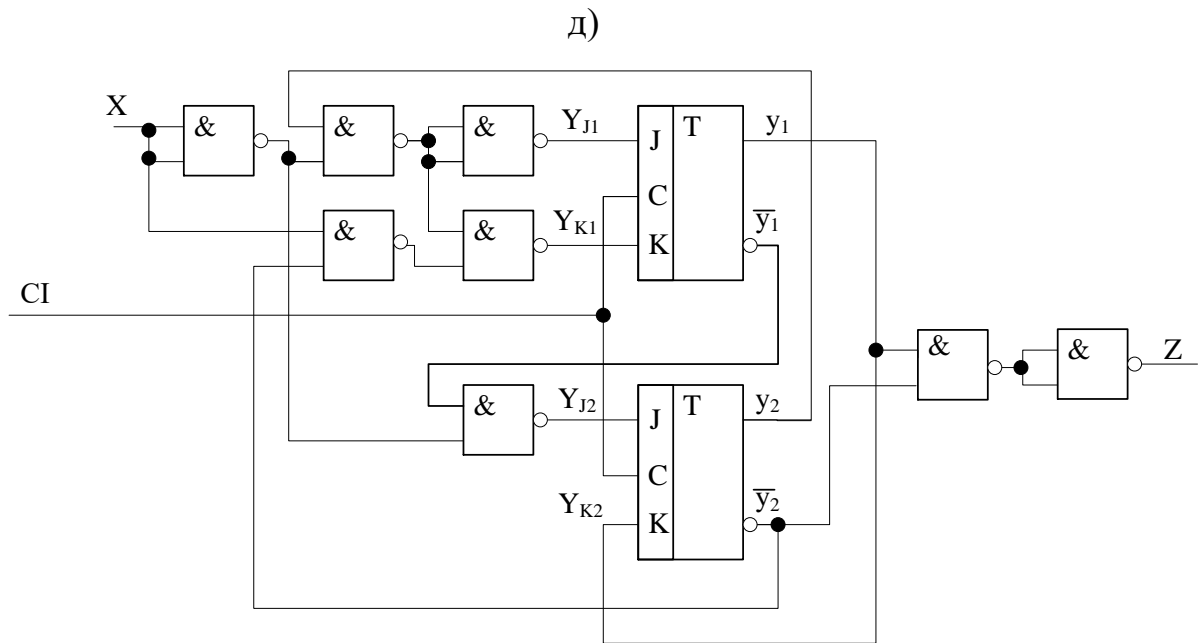


Рисунок 6.2, аркуш 2

S(t)	X(t)	
	0	1
S ₁	S _{1,0}	S _{2,0}
S ₂	S _{3,0}	S _{2,0}
S ₃	S _{1,0}	S _{2,1}
S ₄	S _{1,0}	S _{1,0}

S(t)	X(t)	
	0	1
S ₁	S _{1,0}	S _{2,0}
S ₂	S _{3,0}	S _{2,0}
S ₃	S _{1,0}	S _{4¹,0}
S _{4¹}	S _{3,1}	S _{2,1}

Z(t)	S(t)	x(t)	
		0	1
0	S ₁	S ₁	S ₂
0	S ₂	S ₃	S ₂
0	S ₃	S ₁	S _{4¹}
1	S _{4¹}	S ₃	S ₂

Рисунок 6.3

Рядок, відповідний переходам із S_4^1 , містить стани $S_{3,1}$ та $S_{2,1}$ (див. переходи зі стану S_2). Рівняння для вхідних сигналів JK -тригерів, що визначають стани АП Мура, отримані за описаним вище правилом, тобто за допомогою функціональної таблиці (рисунок 6.2, в) і карт Карно (рисунок 6.2, г – тільки для Y_{J1}).

На рисунку 6.2, д зображена логічна схема АП Мура, що виконує функції пристрою виявлення послідовності 101.

7 ПРИКЛАДИ СИНТЕЗУ СИНХРОННИХ АВТОМАТІВ ІЗ ПАМ'ЯТТЮ

7.1 Двійковий лічильник

Двійковий лічильник – це пристрій, який підраховує кількість імпульсів у вигляді двійкової інформації, які надходять на вхід. Кожному імпульсу, який надійшов, відповідає відповідний код внутрішнього стану. Основним параметром лічильника є модуль рахування – це максимальна кількість імпульсів, які лічильник може підрахувати. Розрізняють лічильники прямої лічби, зворотної лічби та реверсивні.

Для реалізації схеми автомата з пам'яттю останній необхідно синтезувати, а саме:

- 1) побудувати граф переходів, який задає роботу автомата з пам'яттю;
- 2) з графа переходів побудувати функціональну таблицю автомата;
- 3) за функціональною таблицею побудувати карти Карно для кожного входу кожного тригера;
- 4) за картами Карно отримати алгебраїчні вирази (мінімізація ФАЛ) для функцій входів заданих тригерів;
- 5) далі реалізувати схеми автомата з використанням заданого базису логічних елементів і тригерів за принципом «загальна шина».

Синтез двійкового лічильника розглянемо на прикладі.

Приклад 7.1. Проектування двійкового лічильника зворотної лічби з модулем рахування $M = 14$.

Реалізовувати лічильник будемо з використанням чотирьох тригерів, універсальних JK-тригерів за допомогою базису Шеффера.

На першому етапі будемо граф переходів. Граф переходів лічильника зворотної лічби характеризується наявністю переходів тільки у зворотному напрямку від деякого попередньо встановленого стану. Після

віднімання імпульсів лічильник видає імпульс переповнення і повертається в початковий стан. Граф переходів наведений на рисунку 7.1.

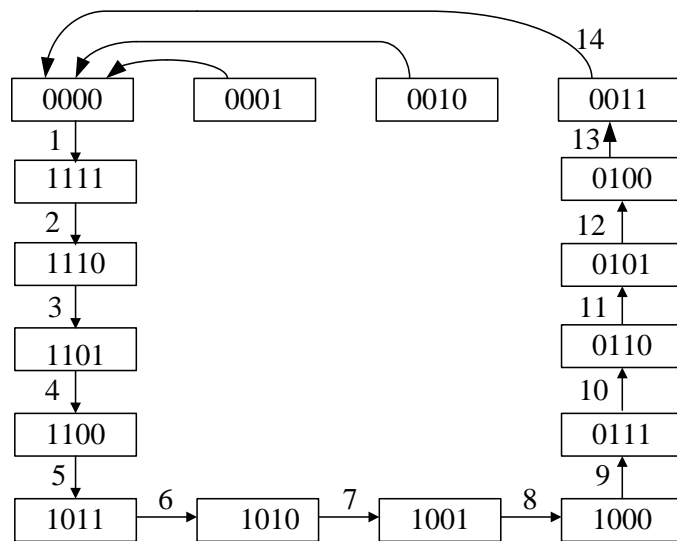


Рисунок 7.1 – Граф переходів двійкового лічильника зворотної лічби з $M = 14$

На другому етапі за допомогою графа переходів і таблиці збудження тригерів складаємо функціональну таблицю 7.1.

Таблиця 7.1 – Функціональна таблиця для двійкового лічильника зворотної лічби з $M = 14$

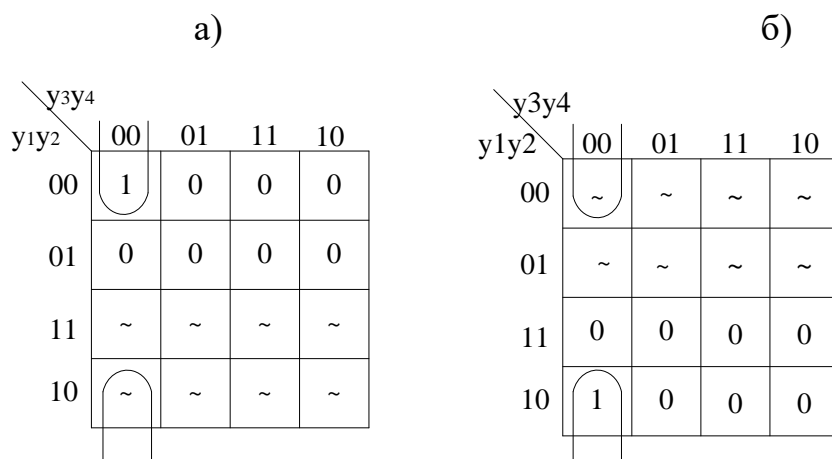
t				t+1				T1		T2		T3		T4	
y ₁	y ₂	y ₃	y ₄	y ₁	y ₂	y ₃	y ₄	J1	K1	J2	K2	J3	K3	J4	K4
1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0	0	0	0	1	1	1	1	1	~	1	~	1	~	1	~
0	0	0	1	0	0	0	0	0	~	0	~	0	~	~	1
0	0	1	0	0	0	0	0	0	~	0	~	~	1	0	~
0	0	1	1	0	0	0	0	0	~	0	~	~	1	~	1
0	1	0	0	0	0	1	1	0	~	~	1	1	~	1	~

Продовження таблиці 7.1

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0	1	0	1	0	1	0	0	0	~	~	0	0	~	~	1
0	1	1	0	0	1	0	1	0	~	~	0	~	1	1	~
0	1	1	1	0	1	1	0	0	~	~	0	~	0	~	1
1	0	0	0	0	1	1	1	~	1	1	~	1	~	1	~
1	0	0	1	1	0	0	0	~	0	0	~	0	~	~	1
1	0	1	0	1	0	0	1	~	0	0	~	~	1	1	~
1	0	1	1	1	0	1	0	~	0	0	~	~	0	~	1
1	1	0	0	1	0	1	1	~	0	~	1	1	~	1	~
1	1	0	1	1	1	0	0	~	0	~	0	0	~	~	1
1	1	1	0	1	1	0	1	~	0	~	0	~	1	1	~
1	1	1	1	1	1	1	0	~	0	~	0	~	0	~	1

На третьому етапі за таблицею істинності складаємо карти Карно та функції для кожного входу кожного тригера. Правила складання карт Карно наведені в методичних вказівках до практичних занять і курсового проектування частини 1 «Комбінаційні пристрої».

Карты Карно для мінімізації функції J_1 і K_1 тригера T_1 наведені на рисунку 7.2.



а – для входу J_1 ; б – для входу K_1

Рисунок 7.2 – Карта Карно для мінімізації функції тригера T_1

Функції для входів J_1 і K_1 тригера T_1 розраховані за формулами

$$J_1 = \overline{y_2 y_3 y_4} \quad , \quad (7.1)$$

$$K_1 = \overline{y_2 y_3 y_4} \quad . \quad (7.2)$$

Карта Карно для мінімізації функцій J_2 і K_2 тригера T_2 наведені на рисунку 7.3.

		а)			
		у ₃ у ₄	00	01	11
у ₁ у ₂	00	1	0	0	0
	01	~	~	~	~
	11	~	~	~	~
	10	1	0	0	0

		б)			
		у ₃ у ₄	00	01	11
у ₁ у ₂	00	~	~	~	~
	01	1	0	0	0
	11	1	0	0	0
	10	~	~	~	~

а – для входу J_2 ; б – для входу K_2

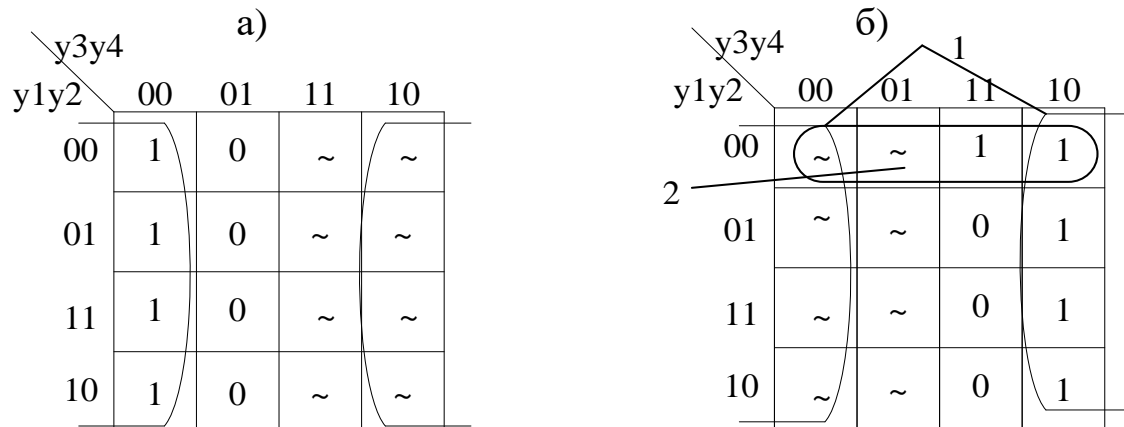
Рисунок 7.3 – Карта Карно для мінімізації функції тригера T_2

Функції для входів J_2 і K_2 тригера T_2 розраховані за формулами

$$J_2 = \overline{y_3 y_4} \quad , \quad (7.3)$$

$$K_2 = \overline{y_3 y_4} \quad . \quad (7.4)$$

Карта Карно для мінімізації функцій J_3 і K_3 тригера T_3 наведені на рисунку 7.4.



а – для входу J_3 ; б – для входу K_3

Рисунок 7.4 – Карта Карно для мінімізації функції тригера T_3

Функції для входів J_3 і K_3 тригера T_3 розраховані за формулами

$$J_3 = \overline{y_4}, \quad (7.5)$$

$$K_3 = \overline{y_4} + (\overline{y_1} \cdot \overline{y_2}) = \overline{y_4 \cdot (y_1 \cdot y_2)}. \quad (7.6)$$

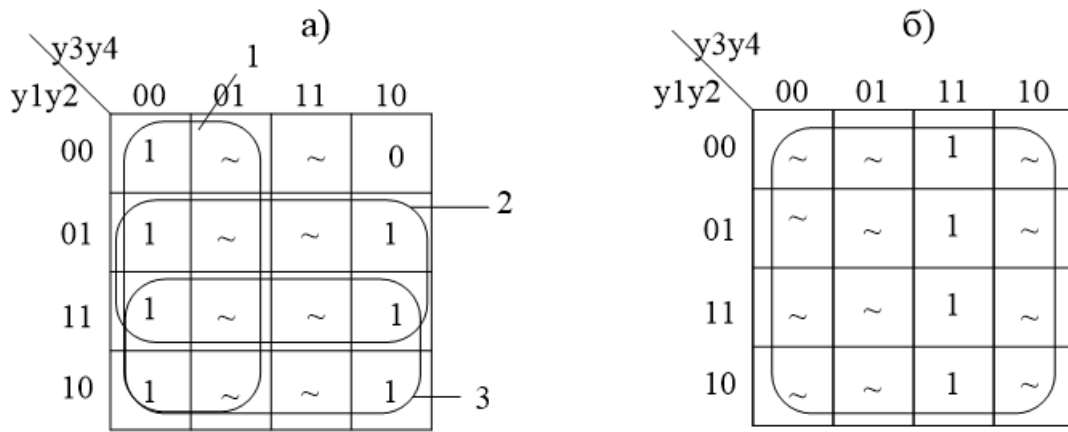
Карта Карно для мінімізації функцій J_4 і K_4 тригера T_4 наведені на рисунку 7.5.

Функції для входів J_4 і K_4 тригера T_4 розраховані за формулами

$$J_4 = \overline{y_3} + y_2 + y_1 = \overline{y_3 \cdot \overline{y_2} \cdot \overline{y_1}}, \quad (7.7)$$

$$K_4 = 1. \quad (7.8)$$

На четвертому етапі за допомогою рівнянь для кожного входу тригерів складаємо схему двійкового лічильника зворотної лічби з $M = 14$, яку наведено на рисунку 7.6.



а – для входу J_4 ; б – для входу K_4

Рисунок 7.5 – Карта Карно для мінімізації функції тригера T_4

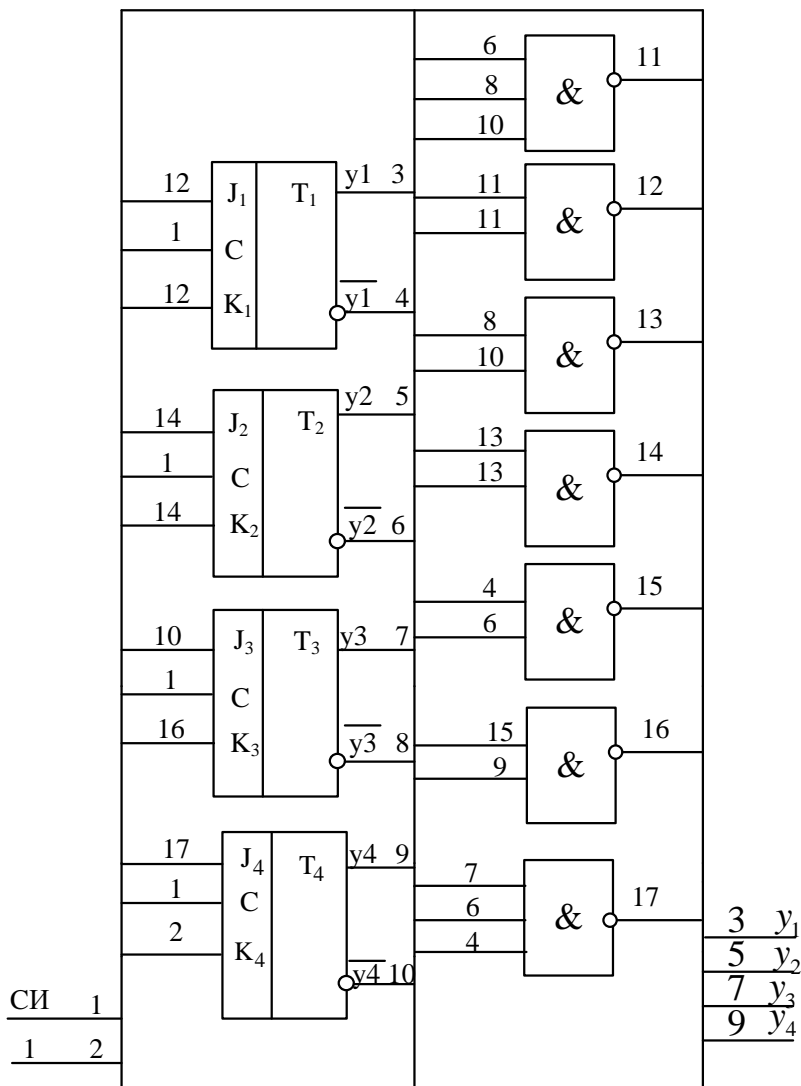


Рисунок 7.6 – Схема двійкового лічильника зворотної лічби

Приклад 7.2. Проектування реверсивного двійкового лічильника з модулем рахування $M = 3$.

Реалізовувати лічильник будемо з використанням двох тригерів, універсальних JK-тригерів за допомогою базису Пірса.

Двійкові реверсивні лічильники мають переходи у двох напрямках: прямому ($x = 0$) і зворотному ($x = 1$).

Для проектування цього лічильника спершу будемо граф переходу, зображений на рисунку 7.7.

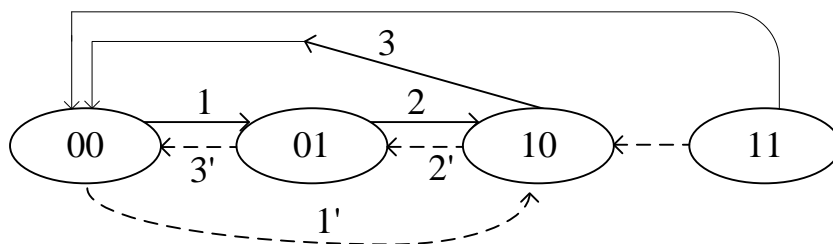


Рисунок 7.7 – Граф переходів реверсивного двійкового лічильника з модулем рахування $M = 3$

Далі будемо функціональну таблицю для JK-тригерів (таблиця 7.2).

Таблиця 7.2 – Функціональна таблиця

x	y(t)		y(t+1)		T ₁		T ₂	
	y ₁	y ₂	y ₁	y ₂	J ₁	K ₁	J ₂	K ₂
0	0	0	0	1	0	~	1	~
0	0	1	1	0	1	~	~	1
0	1	0	0	0	~	1	0	~
0	1	1	0	0	~	1	~	1
1	0	0	1	0	1	~	0	~
1	0	1	0	0	0	~	~	1
1	1	0	0	1	~	1	1	~
1	1	1	1	0	~	0	~	1

За функціональною таблицею істинності будуюмо карти Карно для кожного входу тригера. Вони наведені на рисунках 7.8, 7.9, а ФАЛ, що описують вхідні сигнали, подавані на входи тригерів, розраховані за формулами, наведеними нижче.

а)																				
<table border="1" style="border-collapse: collapse; text-align: center;"> <tr> <td style="border: none; padding: 2px;">y_1y_2</td> <td style="border: none; padding: 2px;">00</td> <td style="border: none; padding: 2px;">01</td> <td style="border: none; padding: 2px;">11</td> <td style="border: none; padding: 2px;">10</td> </tr> <tr> <td style="border: none; padding: 2px;">x</td> <td style="border: none; padding: 2px;">0</td> <td style="border: none; padding: 2px;">1</td> <td style="border: none; padding: 2px;">~</td> <td style="border: none; padding: 2px;">~</td> </tr> <tr> <td style="border: none; padding: 2px;">0</td> <td style="padding: 2px;">0</td> <td style="padding: 2px;">1</td> <td style="padding: 2px;">~</td> <td style="padding: 2px;">~</td> </tr> <tr> <td style="border: none; padding: 2px;">1</td> <td style="padding: 2px;">1</td> <td style="padding: 2px;">0</td> <td style="padding: 2px;">~</td> <td style="padding: 2px;">~</td> </tr> </table>	y_1y_2	00	01	11	10	x	0	1	~	~	0	0	1	~	~	1	1	0	~	~
y_1y_2	00	01	11	10																
x	0	1	~	~																
0	0	1	~	~																
1	1	0	~	~																

б)																				
<table border="1" style="border-collapse: collapse; text-align: center;"> <tr> <td style="border: none; padding: 2px;">y_1y_2</td> <td style="border: none; padding: 2px;">00</td> <td style="border: none; padding: 2px;">01</td> <td style="border: none; padding: 2px;">11</td> <td style="border: none; padding: 2px;">10</td> </tr> <tr> <td style="border: none; padding: 2px;">x</td> <td style="border: none; padding: 2px;">0</td> <td style="border: none; padding: 2px;">1</td> <td style="border: none; padding: 2px;">1</td> <td style="border: none; padding: 2px;">1</td> </tr> <tr> <td style="border: none; padding: 2px;">0</td> <td style="padding: 2px;">~</td> <td style="padding: 2px;">~</td> <td style="padding: 2px;">1</td> <td style="padding: 2px;">1</td> </tr> <tr> <td style="border: none; padding: 2px;">1</td> <td style="padding: 2px;">~</td> <td style="padding: 2px;">~</td> <td style="padding: 2px;">0</td> <td style="padding: 2px;">1</td> </tr> </table>	y_1y_2	00	01	11	10	x	0	1	1	1	0	~	~	1	1	1	~	~	0	1
y_1y_2	00	01	11	10																
x	0	1	1	1																
0	~	~	1	1																
1	~	~	0	1																

а – для входу J_1 ; б – для входу K_1

Рисунок 7.8 – Карта Карно для мінімізації функції тригера T_1

а)																				
<table border="1" style="border-collapse: collapse; text-align: center;"> <tr> <td style="border: none; padding: 2px;">y_1y_2</td> <td style="border: none; padding: 2px;">00</td> <td style="border: none; padding: 2px;">01</td> <td style="border: none; padding: 2px;">11</td> <td style="border: none; padding: 2px;">10</td> </tr> <tr> <td style="border: none; padding: 2px;">x</td> <td style="border: none; padding: 2px;">0</td> <td style="border: none; padding: 2px;">1</td> <td style="border: none; padding: 2px;">~</td> <td style="border: none; padding: 2px;">0</td> </tr> <tr> <td style="border: none; padding: 2px;">0</td> <td style="padding: 2px;">1</td> <td style="padding: 2px;">~</td> <td style="padding: 2px;">~</td> <td style="padding: 2px;">0</td> </tr> <tr> <td style="border: none; padding: 2px;">1</td> <td style="padding: 2px;">0</td> <td style="padding: 2px;">~</td> <td style="padding: 2px;">~</td> <td style="padding: 2px;">1</td> </tr> </table>	y_1y_2	00	01	11	10	x	0	1	~	0	0	1	~	~	0	1	0	~	~	1
y_1y_2	00	01	11	10																
x	0	1	~	0																
0	1	~	~	0																
1	0	~	~	1																

б)																				
<table border="1" style="border-collapse: collapse; text-align: center;"> <tr> <td style="border: none; padding: 2px;">y_1y_2</td> <td style="border: none; padding: 2px;">00</td> <td style="border: none; padding: 2px;">01</td> <td style="border: none; padding: 2px;">11</td> <td style="border: none; padding: 2px;">10</td> </tr> <tr> <td style="border: none; padding: 2px;">x</td> <td style="border: none; padding: 2px;">0</td> <td style="border: none; padding: 2px;">1</td> <td style="border: none; padding: 2px;">1</td> <td style="border: none; padding: 2px;">~</td> </tr> <tr> <td style="border: none; padding: 2px;">0</td> <td style="padding: 2px;">~</td> <td style="padding: 2px;">1</td> <td style="padding: 2px;">1</td> <td style="padding: 2px;">~</td> </tr> <tr> <td style="border: none; padding: 2px;">1</td> <td style="padding: 2px;">~</td> <td style="padding: 2px;">1</td> <td style="padding: 2px;">1</td> <td style="padding: 2px;">~</td> </tr> </table>	y_1y_2	00	01	11	10	x	0	1	1	~	0	~	1	1	~	1	~	1	1	~
y_1y_2	00	01	11	10																
x	0	1	1	~																
0	~	1	1	~																
1	~	1	1	~																

а – для входу J_2 ; б – для входу K_2

Рисунок 7.9 – Карта Карно для мінімізації функції тригера T_2

Функції для входів J_1 і K_1 тригера T_1 розраховані за формулами

$$J_1 = (x + y_2) \cdot (\bar{x} + \bar{y}_2) = \overline{(x + y_2) + (\bar{x} + \bar{y}_2)}, \quad (7.9)$$

$$K_1 = \bar{x} + \bar{y}_2. \quad (7.10)$$

Карта Карно для мінімізації функцій J_2 і K_2 тригера T_2 наведені на рисунку 7.9.

Функції для входів J_2 і K_2 тригера T_2 розраховані за формулами

$$J_2 = (x + \bar{y}_1) \cdot (\bar{x} + y_1) = \overline{(x + \bar{y}_1)} + \overline{(\bar{x} + y_1)}, \quad (7.11)$$

$$K_2 = 0. \quad (7.12)$$

За допомогою рівнянь для кожного входу тригерів складаємо схему реверсивного двійкового лічильника з модулем 3, яку наведено на рисунку 7.10, за допомогою елементів базису Пірса.

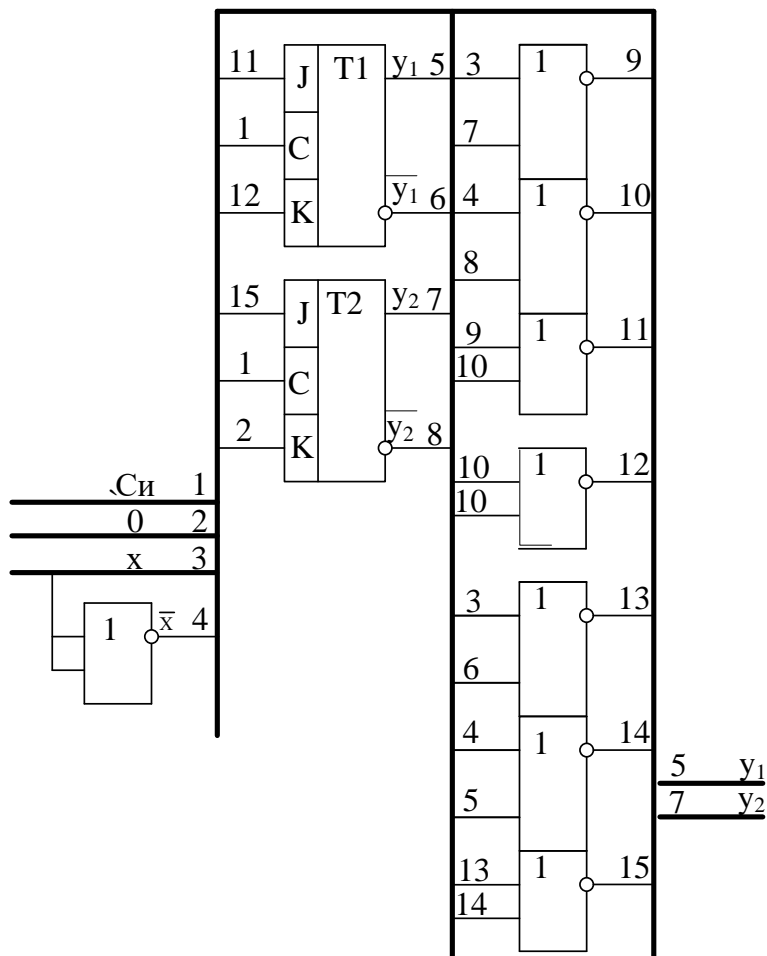


Рисунок 7.10 – Схема реверсивного двійкового лічильника з $M = 3$

7.2 Регістр зсуву

Регістром називають цифровий пристрій, який приймає, зберігає і видає двійкові коди, а також виконує з ними деякі логічні операції. За допомогою регістрів реалізують перетворення послідовного двійкового коду в паралельний і, навпаки, одержують часову затримку цифрових сигналів і виконують арифметичні та логічні операції з багаторозрядними числами.

Послідовним називають регістр, у якому послідовно (розряд за розрядом) приймають і видають інформацію. Такий регістр часто називають регістром зсуву. Регістр зсуву є рядом послідовно з'єднаних тригерів, кількість яких визначають розрядністю записуваного до нього слова. У напрямку зсуву записаної в регістр інформації розрізняють реєстри прямого зсуву, тобто праворуч (у бік молодшого розряду); зворотного зсуву, тобто ліворуч (у бік старшого розряду); реверсивні реєстри, що допускають зрушення в обох напрямках.

Зсувний регістр являє собою схему, яка складається зі зв'язаних між собою одnobітових елементів пам'яті, розміщених в одному корпусі, який називають інтегральною схемою. Елементами пам'яті є тригери, з'єднані один з одним так, що вихід одного служить входом іншого. Виходи зсувного реєстра організовані паралельно або послідовно.

Для реалізації схеми автомата з пам'яттю останній необхідно синтезувати, а саме:

- 1) побудувати функціональну таблицю автомата з пам'яттю;
- 2) за функціональною таблицею побудувати карти Карно для кожного входу кожного тригера;
- 3) за картами Карно отримати алгебраїчні вирази (мінімізація ФАЛ) для функцій входів заданих тригерів;

4) далі відбувається реалізація схеми автомата з використанням заданого базису логічних елементів і тригерів за принципом «загальна шина».

Синтез регістра зсуву розглянемо на прикладі.

Приклад 7.3. Проектування трирозрядного регістра зсуву вліво.

Реалізовувати регістр зсуву будемо з використанням трьох тригерів, універсальних JK-тригерів за допомогою базису Пірса.

Будуємо функціональну таблицю (таблиця 7.3).

Таблиця 7.3 – Функціональна таблиця регістра зсуву вліво

x	t			t+1			T ₁		T ₂		T ₃	
	у ₁	у ₂	у ₃	у ₁	у ₂	у ₃	J ₁	K ₁	J ₂	K ₂	J ₃	K ₃
0	0	0	0	0	0	0	0	~	0	~	0	~
0	0	0	1	0	1	0	0	~	1	~	~	1
0	0	1	0	1	0	0	1	~	~	1	0	~
0	0	1	1	1	1	0	1	~	~	0	~	1
0	1	0	0	0	0	0	~	1	0	~	0	~
0	1	0	1	0	1	0	~	1	1	~	~	1
0	1	1	0	1	0	0	~	0	~	1	0	~
0	1	1	1	1	1	0	~	0	~	0	~	1
1	0	0	0	0	0	1	0	~	0	~	1	~
1	0	0	1	0	1	1	0	~	1	~	~	0
1	0	1	0	1	0	1	1	~	~	1	1	~
1	0	1	1	1	1	1	1	~	~	0	~	0
1	1	0	0	0	0	1	~	1	0	~	1	~
1	1	0	1	0	1	1	~	1	1	~	~	0
1	1	1	0	1	0	1	~	0	~	1	1	~
1	1	1	1	1	1	1	~	0	~	0	~	0

За допомогою таблиці будемо карти Карно (рисунок 7.11).

а)

$y_2 y_3$ $x y_1$	00	01	11	10
00	0	0	1	1
01	~	~	~	~
11	~	~	~	~
10	0	0	1	1

$$J_1 = y_2$$

б)

$y_2 y_3$ $x y_1$	00	01	11	10
00	~	~	~	~
01	1	1	0	0
11	1	1	0	0
10	~	~	~	~

$$K_1 = \bar{y}_2$$

в)

$y_2 y_3$ $x y_1$	00	01	11	10
00	0	1	~	~
01	0	1	~	~
11	0	1	~	~
10	0	1	~	~

$$J_2 = y_3$$

г)

$y_2 y_3$ $x y_1$	00	01	11	10
00	~	~	0	1
01	~	~	0	1
11	~	~	0	1
10	~	~	0	1

$$K_2 = \bar{y}_3$$

д)

$y_2 y_3$ $x y_1$	00	01	11	10
00	0	~	~	0
01	0	~	~	0
11	1	~	~	1
10	1	~	~	1

$$J_3 = x$$

е)

$y_2 y_3$ $x y_1$	00	01	11	10
00	~	1	1	~
01	~	1	1	~
11	~	0	0	~
10	~	0	0	~

$$K_3 = \bar{x}$$

- а – карта Карно для тригера Т1 на вхід J_1 ;
- б – карта Карно для тригера Т1 на вхід K_1 ;
- в – карта Карно для тригера Т2 на вхід J_2 ;
- г – карта Карно для тригера Т2 на вхід K_2 ;
- д – карта Карно для тригера Т3 на входи J_3 ;
- е – карта Карно для тригера Т3 на входи K_3

Рисунок 7.11 – Карти Карно для регістра зсуву вліво

На основі отриманих результатів будемо схему двійкового трирозрядного регістра зсуву вліво на загальній шині, як на рисунку 7.12.

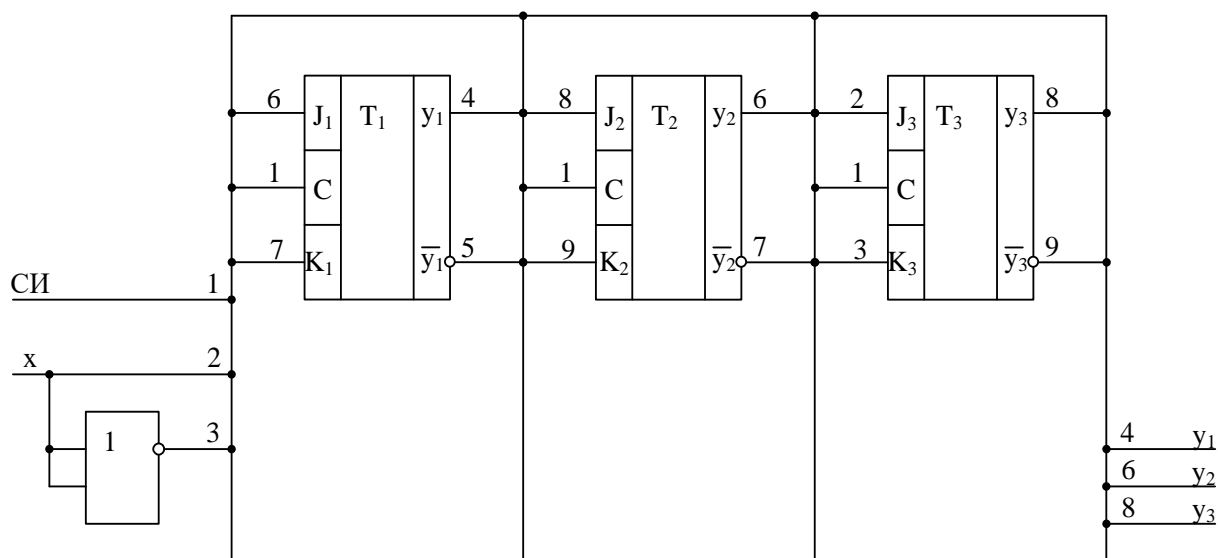


Рисунок 7.12 – Схема трирозрядного регістра зсуву вліво

ЗАДАЧІ

1 Двійкові дані в послідовній формі, синхронізовані тактовими імпульсами, надходять по лінії X в логічну схему. На виході Z сигнал з'являється тільки тоді, коли на вхід подано рядок 1101 (якщо два рядки перекривають один одного, наприклад, 1101101, тоді мають формуватися два вихідних сигнали $Z=1$, що йдуть один за одним). Розробити синхронну послідовну схему пристрою виявлення рядків 1101.

2 Логічна схема отримує по лінії X двійкову інформацію в послідовній формі, робота схеми синхронізована зовнішнім сигналом. Схема аналізує рядки символів із трьох цифр, що надходять на її вхід і не перекривають один одного. Якщо остання цифра рядка 1, на вихідній лінії Z з'являється 1. Розробити синхронну послідовну схему пристрою для розв'язання такої задачі.

3 Побудувати САП на два входи X_1 , X_2 і один вихід Z , що виконує віднімання двох двійкових чисел послідовно, розряд за розрядом, використовуючи D -тригери й базис АБО-НІ.

4 Побудувати реверсивний двійковий лічильник на чотири розряди, використовуючи керуючий сигнал A , такий, що коли $A=1$, рахування ведеться у прямому напрямку, а якщо $A=0$ – у зворотному.

5 Побудувати двійково-десятковий лічильник прямого рахування на JK -тригерах.

6 Послідовна логічна схема має бути використана для підрахунку кількості одиниць у рядку двійкових цифр. Якщо в рядку міститься парна кількість одиниць, то на виході має з'явитися сигнал $Z = 1$, але тільки за умови, що в рядку нема підряд двох нулів. Якщо зустрічаються підряд два нулі, то схема має повернутися у свій початковий стан і розпочати рахунок з нуля. Розробити схему, що виконує ці функції, і реалізувати її на D -тригерах у базисі І-НІ.

7 Використовуючи регістр зсуву і комбінаційну логіку, спроектувати генератор послідовності 0-1-0-0-1-0-1-1-1-0-1.

8 Розробити лічильник за модулем 12, використовуючи регістр зсуву і логічні схеми в ланцюгу зворотного зв'язку.

9 Спроектувати десятковий лічильник на основі чотирирозрядного регістра зсуву.

КОНТРОЛЬНІ ЗАПИТАННЯ

- 1 Тригери. Їхні типи. Рівняння, таблиці істинності. Призначення.
- 2 Типи тригерів і їхні відмінності.
- 3 Синхронні й асинхронні тригери.
- 4 Принцип дії тригера.

- 5 Одержати D-тригер із JK-тригера.
- 6 Чому JK-тригер називають універсальним?
- 7 Чому тригер називають однобітовим елементом пам'яті?
- 8 Що таке зворотний зв'язок у тригерах?
- 9 Як забезпечити роботу двотактного тригера від одного синхронізуючого імпульсу?
- 10 Автомати МІЛП й МУРА. Рівняння. Їхнє розходження. Приклади.
- 11 Невикористовувані стани в автоматах із пам'яттю. Варіанти їх використання.
- 12 Порівняння структурного синтезу автоматів із пам'яттю зі структурним синтезом комбінаційних схем. Структурний синтез автоматів із пам'яттю, що мають декілька керуючих входів.
- 13 Побудова таблиці істинності тригерів.
- 14 T-тригер. Граф переходів, рівняння. Синтез інших типів тригерів на базі T-тригера.
- 15 Реверсивні лічильники. Граф переходів. Принцип побудови.
- 16 Реверсивні регістри зсуву. Принцип побудови.
- 17 \overline{RS} -тригер. Таблиця істинності. Рівняння. Синтез усіх типів тригерів на базі \overline{RS} -тригера.
- 18 Код Грея. Його особливості. Приклади побудови схем формування кодів Грея на базі різних логічних елементів. Побудова лічильників, що працюють у коді Грея.
- 19 Лічильники імпульсів. Граф переходів. Принцип побудови.
- 20 Побудова схем розпізнавання послідовностей імпульсів.
- 21 Реалізація різних тригерів на базі D-тригера.
- 22 Реалізація різних тригерів на базі RS-тригера.
- 23 Універсальний тригер. Його властивості, граф переходів, рівняння.
- 24 Бістабільна комірка пам'яті. Побудова її на базі RS-тригера.
- 25 Багатовходові автомати з пам'яттю. Приклади їх реалізації.

СПИСОК ЛІТЕРАТУРИ

- 1 Торба А. А., Торба А. А. Аналогова та цифрова електроніка: навч. посіб. Харків: СМІТ, 2010. 432 с.
- 2 Чурілов О. І., Бармін В. І. Методичні вказівки до практичних занять з курсу «Аналогова та цифрова електроніка». Харків: ХТУРЕ, 2001. 56 с.
- 3 Оксанич А. П., Притчин С. Е., Вашерук О. В. Комп'ютерна електроніка: навч. посіб. для студ. вищ. навч. закл. Харків: «Компанія СМІТ», 2006. Ч. 1, 2.
- 4 Загарій Г. І., Леонов С. Ю. Автоматизоване проектування складних систем у комп'ютерній схемотехніці: навч. посіб. Харків: ПП видавництва «Нове слово», 2012. 287 с.
- 5 Кравчук С. О., Шонін В. О. Основи комп'ютерної техніки: компоненти, системи, мережі: навч. посіб. Київ: ІВЦ «Вид-во Політехніка»; Вид-во «Каравела», 2005. 343 с.
- 6 Стахів П. Г., Коруд В. І., Гамала О. Є. Основи електроніки: функціональні елементи та їх застосування: підручник. Львів: «Магнолія 2006», 2010. 204 с.
- 7 Студентська звітність: методичні вказівки до виконання й оформлення курсових і дипломних робіт. URL: <http://library-kart.kh.ua>.
- 8 Схемотехніка електронних систем: підручник: у 3 кн. Кн. 2. Цифрова схемотехніка / В. І. Бойко, А. М. Гуржій, В. В. Багрій та ін. Вид. 2-ге, доп. перероб. Київ: Вища школа, 2004. 423 с.
- 9 Колонтаєвський Ю. П., Сосков А. Г. Промислова електроніка та мікросхемотехніка: теорія і практикум / за ред. А. Г. Соскова. Київ: Каравела, 2004. 432 с.
- 10 Долбня В. Т., Сакара Ю. Д., Миланіч Т. В. Електроніка і мікросхемотехніка. Харків: НТУ «ХП», 2006. 204 с.
- 11 Рябенський В. М., Жуйков В. Я., Гулий В. Д. Цифрова схемотехніка: навч. посіб. Львів: «Новий Світ-2000», 2009. 736 с.

ДОДАТОК А

Таблиця А.1 – Варіанти завдання за лічильниками та регістрами зсуву

Номер з/п	Варіант завдання за лічильниками та регістрами зсуву	Базис
1	2	3
1	АП-1 – реверсивний двійковий лічильник з $M = 5$ АП-2 – чотирирозрядний регістр зсуву вправо	Шеффера Пірса
2	АП-1 – двійковий лічильник прямої лічби з $M = 14$ АП-2 – чотирирозрядний регістр зсуву вліво	Пірса Шеффера
3	АП-1 – двійковий лічильник зворотної лічби з $M = 13$ АП-2 – трирозрядний регістр зсуву вліво	Шеффера Пірса
4	АП-1 – двійковий лічильник прямої лічби з $M = 7$ АП-2 – трирозрядний реверсивний регістр зсуву	Пірса Шеффера
5	АП-1 – двійковий лічильник зворотної лічби з $M = 11$ АП-2 – трирозрядний регістр зсуву вправо	Шеффера Пірса
6	АП-1 – двійковий лічильник зворотної лічби з $M = 12$ АП-2 – трирозрядний реверсивний регістр зсуву	Пірса Шеффера
7	АП-1 – реверсивний двійковий лічильник з $M = 7$ АП-2 – чотирирозрядний регістр зсуву вправо	Шеффера Пірса
8	АП-1 – двійковий лічильник зворотної лічби з $M = 10$ АП-2 – чотирирозрядний регістр зсуву вправо	Пірса Шеффера
9	АП-1 – двійковий лічильник прямої лічби з $M = 12$ АП-2 – трирозрядний регістр зсуву вправо	Шеффера Пірса
10	АП-1 – двійковий лічильник прямої лічби з $M = 9$ АП-2 – чотирирозрядний регістр зсуву вправо	Пірса Шеффера
11	АП-1 – двійковий лічильник прямої лічби з $M = 8$ АП-2 – чотирирозрядний регістр зсуву вліво	Шеффера Пірса

Продовження таблиці А.1

1	2	3
12	АП-1 – двійковий лічильник прямої лічби з $M = 10$ АП-2 – чотирирозрядний регістр зсуву вліво	Пірса Шеффера
14	АП-1 – реверсивний двійковий лічильник з $M = 9$ АП-2 – трирозрядний регістр зсуву вліво	Пірса Шеффера
15	АП-1 – двійковий лічильник прямої лічби з $M = 15$ АП-2 – трирозрядний регістр зсуву вліво	Шеффера Пірса
16	АП-1 – двійковий лічильник зворотної лічби з $M = 15$ АП-2 – трирозрядний регістр зсуву вправо	Пірса Шеффера
17	АП-1 – реверсивний двійковий лічильник з $M = 10$ АП-2 – чотирирозрядний регістр зсуву вліво	Шеффера Пірса
18	АП-1 – реверсивний двійковий лічильник з $M = 12$ АП-2 – трирозрядний регістр зсуву вправо	Пірса Шеффера
19	АП-1 – реверсивний двійковий лічильник з $M = 8$ АП-2 – трирозрядний регістр зсуву вліво	Шеффера Пірса
20	АП-1 – реверсивний двійковий лічильник з $M = 11$ АП-2 – трирозрядний регістр зсуву вправо	Пірса Шеффера
21	АП-1 – реверсивний двійковий лічильник з $M = 14$ АП-2 – трирозрядний регістр зсуву вліво	Шеффера Пірса
22	АП-1 – двійковий лічильник зворотної лічби з $M = 9$ АП-2 – трирозрядний реверсивний регістр зсуву	Пірса Шеффера
23	АП-1 – двійковий лічильник зворотної лічби з $M = 14$ АП-2 – трирозрядний реверсивний регістр зсуву	Шеффера Пірса
24	АП-1 – реверсивний двійковий лічильник з $M = 13$ АП-2 – трирозрядний регістр зсуву вліво	Пірса Шеффера
25	АП-1 – двійковий лічильник прямої лічби з $M = 11$ АП-2 – чотирирозрядний регістр зсуву вліво	Шеффера Пірса

Продовження таблиці А.1

1	2	3
26	АП-1 – двійковий лічильник зворотної лічби з $M = 8$ АП-2 – трирозрядний реверсивний регістр зсуву	Пірса Шеффера
27	АП-1 – двійковий лічильник зворотної лічби з $M = 7$ АП-2 – чотирирозрядний регістр зсуву вправо	Шеффера Пірса
28	АП-1 – двійковий лічильник прямої лічби з $M = 6$ АП-2 – чотирирозрядний регістр зсуву вліво	Пірса Шеффера
29	АП-1 – двійковий лічильник зворотної лічби з $M = 6$ АП-2 – трирозрядний реверсивний регістр зсуву	Шеффера Пірса
30	АП-1 — двійковий лічильник прямої лічби з $M = 13$ АП-2 – чотирирозрядний регістр зсуву вправо	Пірса Шеффера

Таблиця А.2 – Варіанти завдання по автомату з пам'яттю розпізнавання послідовностей

Номер з/п	Варіант завдання для пристрою розпізнавання послідовностей	Базис
1	1101-а; 1001-б; 0010-в; 0110- f_1, f_2	Шеффера
2	1100-а; 1000-б; 0011-в; 0010- f_1, f_2	Пірса
3	1001-а; 0110-б; 0111-в; 1110- f_1, f_2	Шеффера
4	0001-а; 0000-б; 0110-в; 1001- f_1, f_2	Пірса
5	0001-а; 0000-б; 1110-в; 1001- f_1, f_2	Шеффера
6	1110-а; 1000-б; 1001-в; 1111- f_1, f_2	Пірса
7	0011-а; 0101-б; 1110-в; 0001- f_1, f_2	Шеффера
8	0001-а; 0000-б; 1001-в; 1110- f_1, f_2	Пірса
9	0011-а; 1100-б; 1101-в; 1000- f_1, f_2	Шеффера
10	0000-а; 0010-б; 0011-в; 1111- f_1, f_2	Пірса
11	1001-а; 0010-б; 1100-в; 1101- f_1, f_2	Шеффера
12	0011-а; 1100-б; 0110-в; 1001- f_1, f_2	Пірса
13	0010-а; 1100-б; 1000-в; 1001- f_1, f_2	Шеффера
14	0000-а; 0010-б; 1100-в; 1101- f_1, f_2	Пірса
15	0010-а; 1100-б; 1001-в; 1011- f_1, f_2	Шеффера
16	0010-а; 1010-б; 0011-в; 1111- f_1, f_2	Пірса
17	1011-а; 1010-б; 1110-в; 1111- f_1, f_2	Шеффера
18	0111-а; 1101-б; 0110-в; 1001- f_1, f_2	Пірса
19	1010-а; 1100-б; 0000-в; 0001- f_1, f_2	Шеффера
20	0000-а; 0010-б; 0001-в; 0011- f_1, f_2	Пірса

МЕТОДИЧНІ ВКАЗІВКИ

до практичних занять і курсового проєктування з дисципліни
«ЕЛЕКТРОНІКА ТА МІКРОСХЕМОТЕХНІКА»

Частина 2

Дискретна електроніка

Розділ

Автомати з пам'яттю

Відповідальний за випуск Клименко Л. А.

Редактор Ібрагімова Н. В.

Підписано до друку 03.05.2024 р.

Умовн. друк. арк. 2,5. Тираж . Замовлення № .

Видавець та виготовлювач Український державний університет
залізничного транспорту,
61050, Харків-50, майдан Фейербаха, 7.

Свідоцтво суб'єкта видавничої справи ДК № 6100 від 21.03.2018 р.