

**УКРАЇНСЬКИЙ ДЕРЖАВНИЙ УНІВЕРСИТЕТ
ЗАЛІЗНИЧНОГО ТРАНСПОРТУ**

**ФАКУЛЬТЕТ ІНФОРМАЦІЙНО-КЕРУЮЧИХ СИСТЕМ
ТА ТЕХНОЛОГІЙ**

Кафедра транспортного зв'язку

**МЕТОДИЧНІ ВКАЗІВКИ
до практичних і лабораторних робіт**

**із дисципліни
*«ПРИСТРОЇ ТЕЛЕКОМУНІКАЦІЙНИХ СИСТЕМ»***

**Частина 1
СИНТЕЗ ТА МОДЕЛЮВАННЯ КОМБІНАЦІЙНИХ СХЕМ
ТА СХЕМ З ТРИГЕРАМИ РІЗНИХ ТИПІВ**

Харків – 2025

Методичні вказівки розглянуто і рекомендовано до друку на засіданні кафедри транспортного зв'язку 12 лютого 2025 р., протокол № 9.

Методичні вказівки містять опис чотирьох лабораторних робіт, тематика яких охоплює питання, що розглядають в рамках навчальної дисципліни «Пристрої телекомунікаційних систем».

Методичні вказівки можуть бути використані під час самостійної підготовки, а також при викладенні певних розділів інших дисциплін відповідно до навчальних програм.

Рекомендовано для здобувачів вищої освіти всіх форм здобуття факультету ІКСТ спеціальності G5 «Електроніка, електронні комунікації, приладобудування та радіотехніка», які вивчають дисципліну «Пристрої телекомунікаційних систем».

Укладачі:

доценти І. В. Ковтун,
Н. А. Корольова,
проф. К. А. Трубчанінова

Рецензент

доц. Л. А. Клименко

ЗМІСТ

Порядок роботи в лабораторії	4
Лабораторна робота 1. Освоєння навичок роботи з програмою <i>Electronics Workbench</i> . Логічні елементи	7
Лабораторна робота 2. Дослідження цифрових комбінаційних пристроїв з двійковими вхідними кодами	23
Лабораторна робота 3. Дослідження цифрових комбінаційних пристроїв з логічними вхідними сигналами	37
Лабораторна робота 4. Синтез і дослідження роботи тригерних пристроїв	48
Список літератури	74

ПОРЯДОК РОБОТИ В ЛАБОРАТОРІЇ

Підготовка до роботи

При підготовці до роботи слід:

- опрацювати зазначений теоретичний матеріал, що було викладено в рамках лекційного курсу, а також опанувати практичні аспекти розрахунків, які розглядались на відповідних практичних заняттях за темою лабораторної роботи;
- ознайомитися з функціональними можливостями імітаційного середовища *Electronic Workbench*;
- ознайомитися з описом виконуваної роботи, підготувати відповіді на наведені контрольні питання, опанувати розрахунки за переліком зазначених питань та завдань.

Виконання робіт в лабораторії

Лабораторні роботи виконують в аудиторії кафедри транспортного зв'язку на індивідуальних комп'ютерах. При цьому здобувач повинен виконати всі вимоги, викладені вище.

Роботу в лабораторії вважають закінченою тільки після перегляду і затвердження отриманих результатів викладачем.

Після закінчення роботи здобувач зобов'язаний привести робоче місце до ладу.

Техніка безпеки при проведенні робіт

Дотримання правил техніки безпеки є обов'язковою умовою виконання лабораторних робіт. Для забезпечення цієї вимоги кожен

здобувач на вступному занятті повинен ознайомитися з вимогами правил техніки безпеки, про що вказує відмітка у відповідному журналі та отримати допуск до виконання лабораторних робіт у викладача.

Загалом необхідним є обов'язкове виконання всіх правил техніки безпеки та пожежної безпеки, які передбачені державними стандартами та інструкцією по університету.

Особи, які не виконують правила техніки безпеки або допускають їх порушення щодо інших осіб, від роботи відсторонюються і залучаються до відповідальності.

Під час виконання лабораторних робіт **заборонено:**

- виконувати роботи без інструктажу з техніки безпеки;
- сидати за комп'ютер, розпочинати і закінчувати роботу без дозволу викладача або лаборантів;
- запускати програми, що непередбачені планом лабораторної роботи;
- знищувати файли без дозволу викладача;
- залишати без нагляду включений комп'ютер;
- змінювати настройки операційної системи;
- користуватись власними носіями інформації без дозволу викладача або лаборантів;
- класти на апаратуру сторонні предмети.

Якщо стався нещасний випадок, то необхідно негайно:

- відключити мережу змінного струму;
- повідомити викладача, або когось із допоміжного персоналу кафедри, хто знаходиться в лабораторії;
- надати першу медичну допомогу потерпілому;
- за необхідності викликати «Швидку допомогу».

Оформлення звіту і захист роботи

Лабораторна робота – невеликий науковий звіт, що узагальнює проведену здобувачем роботу, яку представляють для захисту викладачу. До лабораторних робіт пред'являють низку вимог, основною з яких є повний, вичерпний опис всієї проведеної роботи, що дає змогу судити про отримані результати, міру виконання завдання та професійну підготовку здобувачів.

Звіт з лабораторної роботи друкують або пишуть здобувачі на одній стороні аркуша паперу формату 210x297 мм (A4). Необхідно поля: зліва – 25 мм, справа – 10 мм, зверху – 20 мм, знизу – 15 мм.

Звіт має містити такі пункти:

- 1 Назва та мета лабораторної роботи.
- 2 Теоретичні відомості (основні визначення, формули).
- 3 Індивідуальне завдання (за варіантом) лабораторної роботи.
- 4 Основні етапи розрахунків і результати виконання роботи.

Висновки.

Висновки до роботи є важливою складовою виконання лабораторної роботи. Вони не мають повторювати мету та завдання роботи, а, натомість, мають відображати результати зіставлення та порівняння теоретичних положень з отриманими результатами моделювання.

Залік з роботи здобувач отримує після подання звіту та успішної відповіді на запропоновані викладачем питання, пов'язані з тематикою лабораторної роботи, що захищається.

Лабораторна робота 1

ОСВОЄННЯ НАВИЧОК РОБОТИ З ПРОГРАМОЮ *ELECTRONICS WORKBENCH*. ЛОГІЧНІ ЕЛЕМЕНТИ

Мета роботи – вивчення можливостей програми та користувацького інтерфейсу програми *Electronics Workbench (EWB)*. Вивчення панелі інструментів користувача, наявних бібліотечних електронних, логічних і допоміжних компонентів, необхідних для дослідження схем широкого призначення. Вивчення принципів роботи найпростіших логічних елементів.

1.1 Методичні вказівки з організації самостійної роботи

Програмний комплекс *EWB* розроблено фірмою Interactive Image Technologies (Канада) для схемотехнічного моделювання цифрових і аналогових радіоелектронних пристроїв.

Попереднє дослідження електронної схеми із застосуванням комп'ютерного моделювання дає змогу знайти оптимальні параметри для роботи досліджуваного пристрою, не вдаючись до його практичної реалізації. Дослідження на програмній моделі дає змогу ознайомитися з можливостями перевірки правильності побудови схем.

Особливість програми *EWB* у наявності в ній контрольно-вимірювальних приладів, що за зовнішнім виглядом, органами управління та характеристиками максимально наближені до їхніх промислових аналогів. У цих методичних вказівках розглядається версія *EWB5PRO* і *EWB v.5.12* [2].

Структура вікна та система меню

Структура вікна *EWB* представлена на рисунку 1.1.

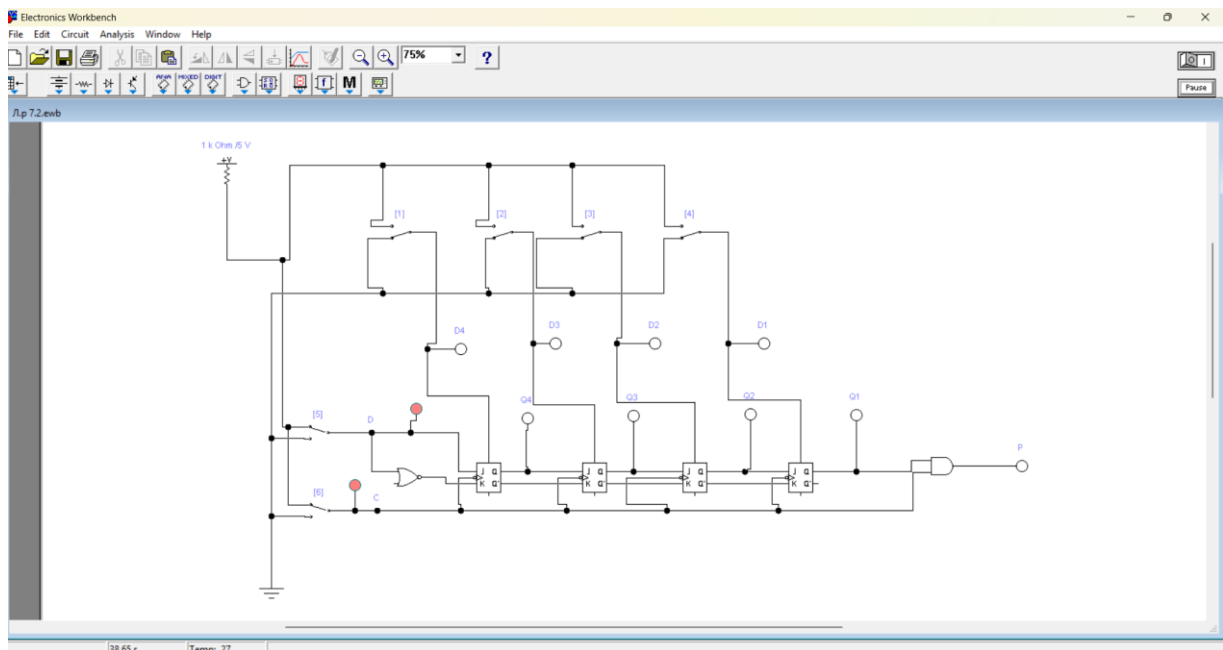


Рисунок 1.1 – Вікно програми EWB 5.x.

Вікно містить рядок команд меню, рядок основних типових електронних пристроїв, поле для складання досліджуваної схеми і смуги управління прокруткою.

Основні команди меню

Меню File – перші чотири команди меню типові й пояснень не потребують:

- **Revert to Saved** – стирання всіх змін, внесених у поточному сеансі редагування, і відновлення схеми в первісному вигляді;
- **Install** – встановлення додаткових програм із жорстких дисків;
- **Import** – імпорт текстових файлів опису схеми;
- **Export** – складання текстового опису схеми та завдання на моделювання у форматі **SPICE**.

Меню Edit:

- **CUT** – стирання (вирізання) виділеної частини схеми зі збереженням у буфері обміну. Виділення одного компонента здійснюється клацанням миші на зображенні компонента. Для виділення частини схеми

або декількох компонентів курсор миші потрібно помістити в лівий кут уявного прямокутника, що охоплює частину, яку виділяють, натиснути ліву кнопку миші та, не відпускаючи її, протягнути курсор по діагоналі цього прямокутника, контури якого з'являються вже на початку руху миші, і потім відпустити кнопку. Виділені компоненти забарвлюються в червоний колір;

- ***COPY*** – копіювання виділеної частини схеми в буфер обміну;

- ***PAST*** – вставка вмісту буфера обміну на робоче поле програми.

Фрагмент потім ще будучи позначеним перетягується за допомогою миші в потрібне місце;

- ***DELETE*** – стирання виділеної частини схеми;

- ***SELECT ALL*** – виділення всієї схеми;

- ***COPYBITS*** – команда перетворює курсор миші на хрестик, яким, за правилом прямокутника, можна виділити потрібну частину екрана, після відпускання лівої кнопки миші виділена частина копіюється в буфер обміну, після чого його вміст можна імпортувати в будь-який додаток Windows. Копіювання всього екрана здійснюється натисканням клавіші ***Print Screen***; копіювання активної в цю мить частини екрана, наприклад, діалогового вікна – комбінацією ***Alt+Print Screen***;

- ***Show Clipboard*** – показати вміст буфера обміну;

- ***Copy as Bitmap*** – копіює виділену ділянку в буфер обміну.

Меню Circuit – використовується під час підготовки схем, а також для завдання параметрів моделювання:

- ***Activat*** – запуск моделювання;

- ***Stop*** – зупинка моделювання. Ці дві команди дублюються натисканням кнопки вимикача, розташованого в правому верхньому кутку екрана;

- ***Pause*** – переривання моделювання;

- ***Label*** – введення позиційного позначення виділеного компонента за допомогою діалогового вікна;

- **Value** – зміна номінального значення параметра компонента за допомогою діалогового вікна;

- **Model** – вибір моделі компонента, команда виконується також подвійним клацанням по компоненту. Робота з меню, як і у всіх інших подібних випадках, закінчується натисканням кнопок **Accept** або **Cancel** – зі збереженням або без збереження введених змін;

- **Zoom** – розкриття (розгортання) виділеної підсхеми або контрольно-вимірювального приладу, команду виконують також подвійним клацанням миші по іконці компонента або приладу;

- **Rotate** – обертання виділеного компонента.

- **Fault** – імітація несправності виділеного компонента шляхом введення:

- *leakage* – опору витоку,

- *short* – короткого замикання,

- *open* – обриву,

- *none* – відсутність несправності (ввімкнено за замовчуванням).

- **Subcircuit** – перетворення попередньо виділеної частини схеми на підсхему;

- **Wire Color** – зміна кольору попередньо виділеного провідника. Забарвлення провідників важливе в разі застосування логічного аналізатора, у цьому разі колір провідника визначає колір часової діаграми;

- **Preferences** – вибір елементів оформлення схеми відповідно до меню.

Технологія створення електричних та електронних схем

Для створення схем, що розглядають в рамках лабораторних робіт з курсу «Пристрої телекомунікаційних систем», достатньо використати наявні типові компоненти.

Для відкриття потрібної бібліотеки компонентів потрібно підвести курсор миші до відповідної іконки і натиснути один раз її ліву кнопку. У

множині, що випадає, обирають необхідний значок, і пересувають при утриманні лівою клавішею миші на робоче поле програми. Для встановлення параметрів необхідно подвійним натисканням лівою кнопкою миші розкрити меню налаштування параметрів компонента. Вибір підтверджується натисканням кнопки *Accept* і клавішею *Enter*.

Після розміщення компонентів з'єднують їхні виводи провідниками. Необхідно враховувати, що до виводу компонента можна під'єднати тільки один провідник.

Для виконання під'єднання курсор миші підводять до виводу компонента і після появи прямокутної ділянки синього кольору натискають ліву кнопку, а провідник, що з'являється водночас, протягують до виводу іншого компонента до появи на ньому такої самої прямокутної ділянки, після чого кнопку миші відпускають, і з'єднання готове.

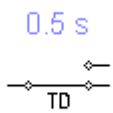
За необхідності підключення до цих виводів інших провідників у бібліотеці *Passive* обирають точку (символ з'єднання) і переносять на раніше встановлений провідник. Після вдалої постановки точки до провідника приєднується ще два провідники. Точка з'єднання може бути використана не тільки для підключення провідників, а й для введення написів [2].

Якщо необхідно перемістити окремий сегмент провідника, до нього підводять курсор, натискають ліву кнопку і після появи у вертикальній або горизонтальній площині подвійного курсору здійснюють потрібні переміщення.

Підключення до схеми контрольно-вимірювальних приладів проводять аналогічно. Причому для таких приладів, як осцилограф або логічний аналізатор, з'єднання доцільно проводити кольоровими провідниками, оскільки їхній колір визначає відповідну осцилограму.

Основні компоненти *EWB* для виконання лабораторної роботи представлені в таблиці 1.1.

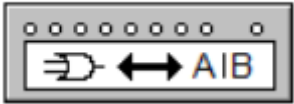
Таблиця 1.1 – Основні компоненти *EWB*

Позначення	Назва і призначення елементів
1	2
<i>Допоміжні компоненти – група SOURCES</i>	
	Заземлення (мітка), точка нульового потенціалу в схемі
	Джерело фіксованої напруги +5 Вольт
<i>Основні пасивні елементи – група BASIC</i>	
	Точка з'єднання провідників, використовується також для введення на схему написів завдовжки не більше 14 символів (інших способів введення тексту в <i>EWB</i> не існує)
	Перемикач, керований натисканням заданої клавіші клавіатури (у квадратних дужках), за замовчуванням – клавіша пробілу
	Перемикач, що автоматично спрацьовує через заданий час на ввімкнення і вимкнення (час у секундах)
<i>Індикаторні прилади – група INDICATORS</i>	
	Світлоіндикатор (світло світіння може бути налаштоване червоним, зеленим і синім)
<i>Логічні елементи – група LOGIC GATES</i>	
	<i>AND</i> . Логічний елемент "І". (*, $\wedge$ – позначення в логічних виразах, в програмі <i>EWB</i> позначення допускається як в математичних виразах множення) – логічне множення, кон'юнкція

Продовження таблиці 1.1

1	2
	<i>OR</i> . Логічний елемент "АБО". ($+$, $\vee$ – позначення в логічних виразах, $+$ – позначення в програмі <i>EWB</i>) – логічне додавання, диз'юнкція
	<i>NOT</i> . Логічний елемент "НЕ", ($\bar{A}$ – позначення в логічних виразах, A' – позначення в програмі <i>EWB</i>) – заперечення
	<i>NOR</i> . Логічний елемент "АБО-НЕ". ($\overline{A+B}$, $\overline{A \vee B}$ – позначення в логічних виразах, $(A+B)'$ – позначення в програмі <i>EWB</i>) – заперечення логічного додавання, заперечення диз'юнкції, операція Пірса
	<i>NAND</i> . Логічний елемент "І-НЕ". ($\overline{A*B}$, $\overline{A \wedge B}$ – позначення в логічних виразах, $(AB)'$ – позначення в програмі <i>EWB</i>) – заперечення логічного множення, операція Шеффера
	<i>XOR</i> . Логічний елемент виключне "АБО" ($(\bar{A}*B)+(A*\bar{B})$ – позначення в логічних виразах, $(A'B)+(AB')$ – позначення в програмі <i>EWB</i>) – виключне АБО
	<i>XNOR</i> . Логічний елемент еквівалентність. ($((A*B)+(\bar{A}*\bar{B}))$ – позначення в логічних виразах, $(AB)+(A'B')$ – позначення в програмі <i>EWB</i>) – еквівалентність

Продовження таблиці 1.1

1	2
<i>Прилади, група – INSTRUMENTS</i>	
	<i>Logic Converter.</i> Логічний перетворювач – призначений для аналізу схем, що містять логічні елементи і, залежно від використовуваної керівної клавіші та вхідної інформації, може видати: таблицю істинності досліджуваного пристрою; логічну функцію, що реалізується пристроєм; мінімізовану (спрощену) логічну функцію
	<i>Word Generator.</i> Цифровий генератор або генератор слів – використовується для подавання в цифрову схему, що досліджується, 16-ти сигналів у паралельному коді, які відповідають 16-ти логічним змінним
	<i>Logic Analyzer.</i> Логічний аналізатор – використовується для збереження і відображення на екрані послідовності значень 16-ти логічних змінних, що поступають на входи логічного аналізатора в паралельному коді

1.2 Порядок виконання роботи

1 За допомогою програми *Electronics Workbench (EWB)* перевірити таблиці істинності та функції перемикавання основних логічних елементів:

- НЕ (заперечення, *NOT*);
- І (логічне множення, кон'юнкція, *AND*);
- АБО (логічне додавання, диз'юнкція, *OR*);
- І-НЕ (*NAND*, операція Шеффера);
- АБО-НЕ (*NOR*, операція Пірса);
- Виключне АБО (*XOR*);
- Еквівалентність (*XNOR*).

Для дослідження використовують схему, що подано на рисунку 1.2, містить сім основних логічних елементів, підключених до логічного конвертора.

Для проведення послідовних операцій з кожним логічним елементом окремо в схемі використовують перемикачі, що керуються з клавіатури за допомогою відповідних цифрових клавіш (від 1 до 7). Для підключення логічного елемента, необхідно ввімкнути (замкнути) його перемикач та вимкнути (розімкнути) всі інші. Відповідність перемикачів та логічних елементів:

- [1] - НЕ (заперечення, *NOT*);
- [2] - І (логічне множення, кон'юнкція, *AND*);
- [3] - АБО (логічне додавання, диз'юнкція, *OR*);
- [4] - І-НЕ (*NAND*, операція Шеффера);
- [5] - АБО-НЕ (*NOR*, операція Пірса);
- [6] - Виключне АБО (*XOR*);
- [7] - Еквівалентність (*XNOR*).

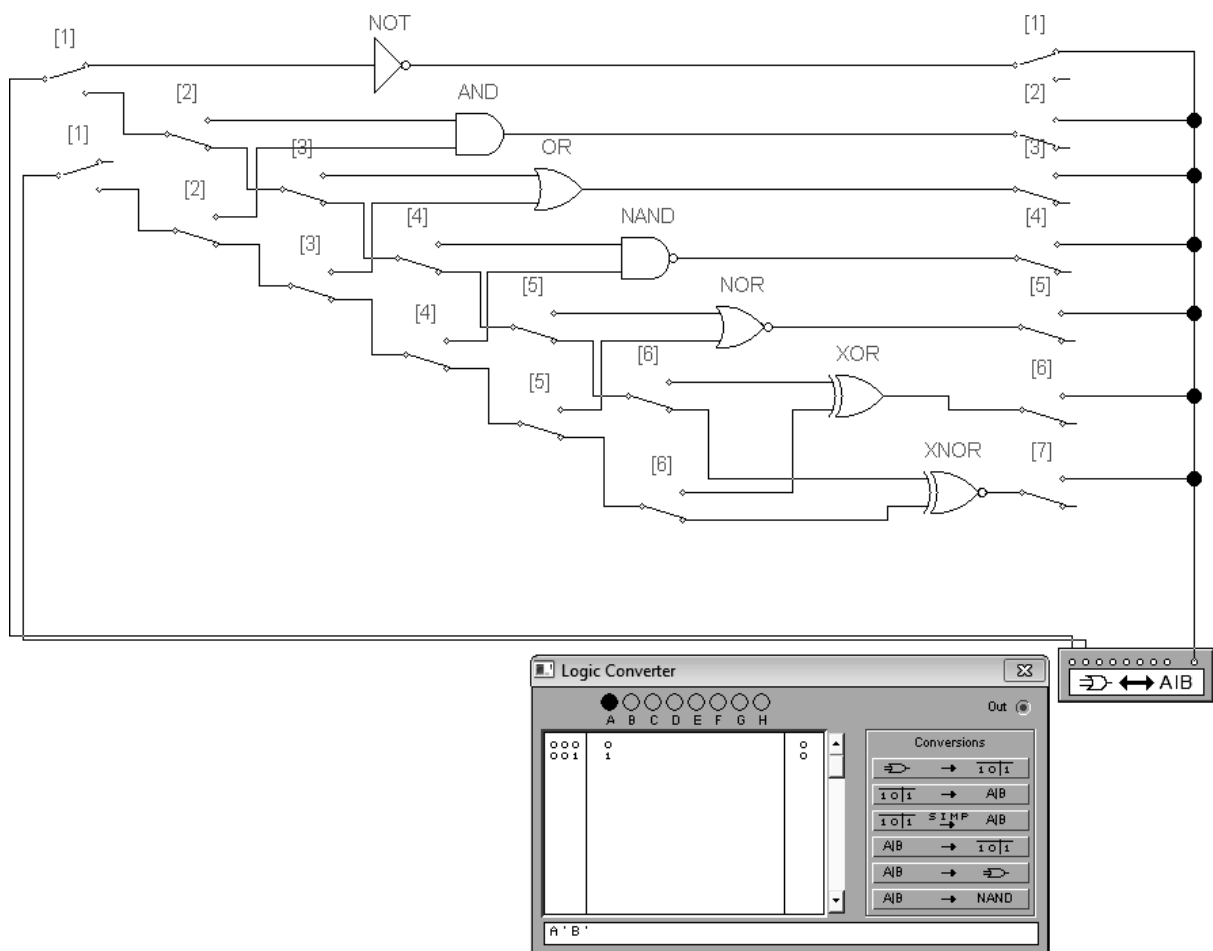


Рисунок 1.2 – Схема послідовного дослідження логічних елементів

Для отримання таблиці істинності необхідно відкрити вікно логічного конвертера (*Logic Converter*), натиснути першу кнопку в розділі конвертації (*Conversions*), що «перетворює» схему в таблицю істинності та активізувати необхідну кількість входних сигналів, позначених літерами *A*, *B*, *C*, *D*, *E*, *F*, *G*, *H* (рисунок 1.3). Для інвертора необхідно обрати лише 1 вхід (*A*), для інших елементів – 2 входи (*A*, *B*).

Для отримання функції, яка описує роботу логічного елемента, використовують другу кнопку конвертації (*Conversions*), що «перетворює» таблицю істинності в символьний запис функції (рисунок 1.4). В нижньому полі конвертера відображається функція перемикавання схеми, в цьому випадку відповідного логічного елемента.

Літери вхідних
сигналів

Кнопка конвертації

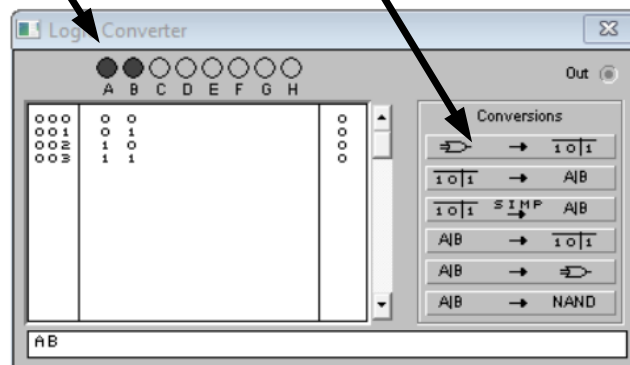


Рисунок 1.3 – Використання логічного конвертера

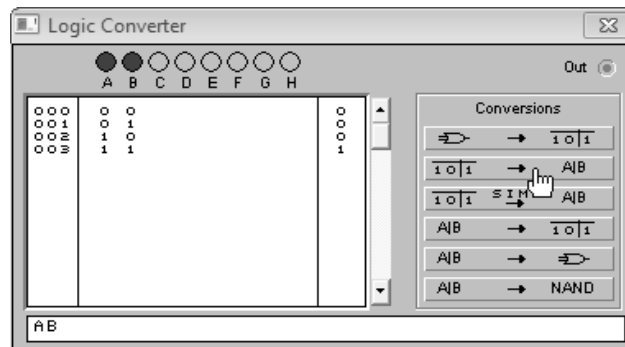


Рисунок 1.4 – Використання логічного конвертера для отримання функції

Можна виконувати дослідження логічних елементів окремо за допомогою спрощеної схеми, приклад якої для елемента AND наведено на рисунку 1.5.

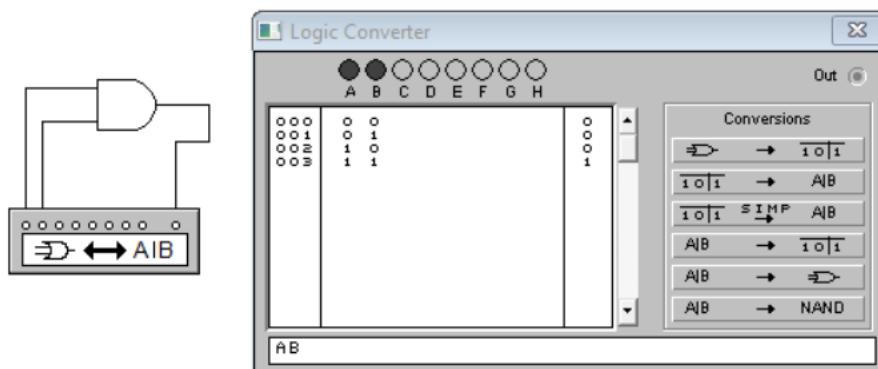


Рисунок 1.5 – Схема дослідження окремого логічного елемента

Результати досліджень у формі таблиць істинності та символічного виразу необхідно представити у вигляді, представленому на рисунку 1.6.

NOT	AND	OR	XOR
X Y	X1 X2 Y	X1 X2 Y	X1 X2 Y
0	0 0	0 0	0 0
1	0 1	0 1	0 1
Y =	1 0	1 0	1 0
	1 1	1 1	1 1
	Y =	Y =	Y =

NAND	NOR	XNOR
X1 X2 Y	X1 X2 Y	X1 X2 Y
0 0	0 0	0 0
0 1	0 1	0 1
1 0	1 0	1 0
1 1	1 1	1 1
Y =	Y =	Y =

Рисунок 1.6 – Форми представлення функцій логічних елементів

2 За допомогою програми *Electronics Workbench (EWB)* отримати часові діаграми основних логічних елементів:

- НЕ (заперечення, *NOT*);
- І (логічне множення, кон'юнкція, *AND*);
- АБО (логічне додавання, диз'юнкція, *OR*);
- І-НЕ (*NAND*, операція Шеффера);
- АБО-НЕ (*NOR*, операція Пірса);
- Виключне АБО (*XOR*);

- Еквівалентність (XNOR).

Для дослідження використовують схему, що подано на рисунку 1.7, містить сім основних логічних елементів, на входи яких з генератора слів (*Word Generator*) подаються всі можливі набори числових кодів, а виходи підключені до логічного аналізатора (*Logic Analyzer*), який формує часові діаграми.

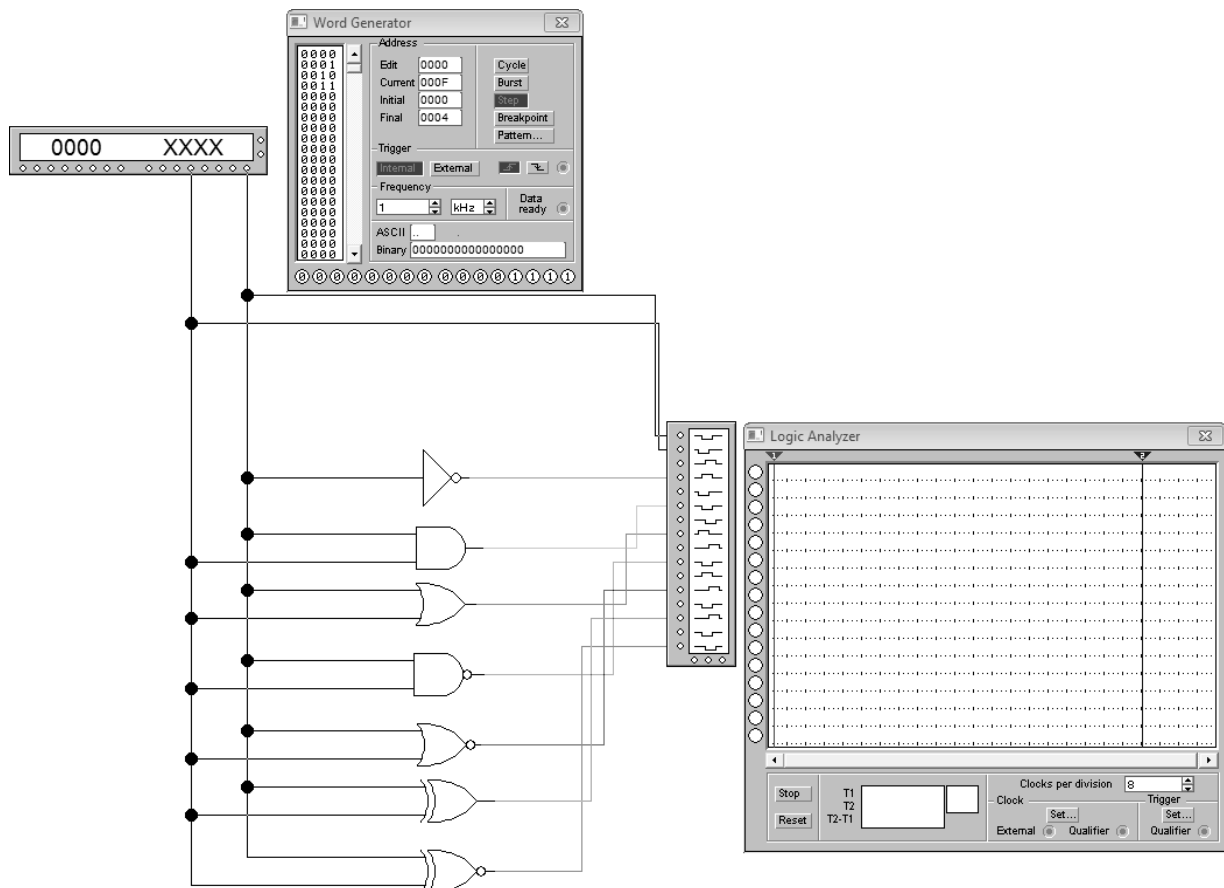


Рисунок 1.7 – Схема дослідження часових діаграм логічних елементів

Для отримання часових діаграм послідовно подають входні комбінації на входи логічних елементів за допомогою кнопки покрокового виконання (*Step*) у вікні генератора слів. Логічний аналізатор в цій схемі підключення формує часові діаграми двох входних сигналів та 7 вихідних (по 1 на кожний логічний елемент).

Примітка. Досліджуючи часові діаграми слід пам'ятати, що має бути дотримана відповідність вхідних і вихідних сигналів у вертикальному (відповідає за рівень сигналу) та горизонтальному (відповідає за час / тривалість сигналу) відображенні. Рівень сигналу для цифрових двійкових сигналів – це 0 (низький рівень) та 1 (високий рівень). Тривалість сигналу для досліджень такого типу характеризують такими поняттями, як такт, період (частота), циклічність [1].

Можна виконувати дослідження часових діаграм логічних елементів окремо за допомогою спрощеної схеми, приклад якої для елемента AND наведено на рисунку 1.8.

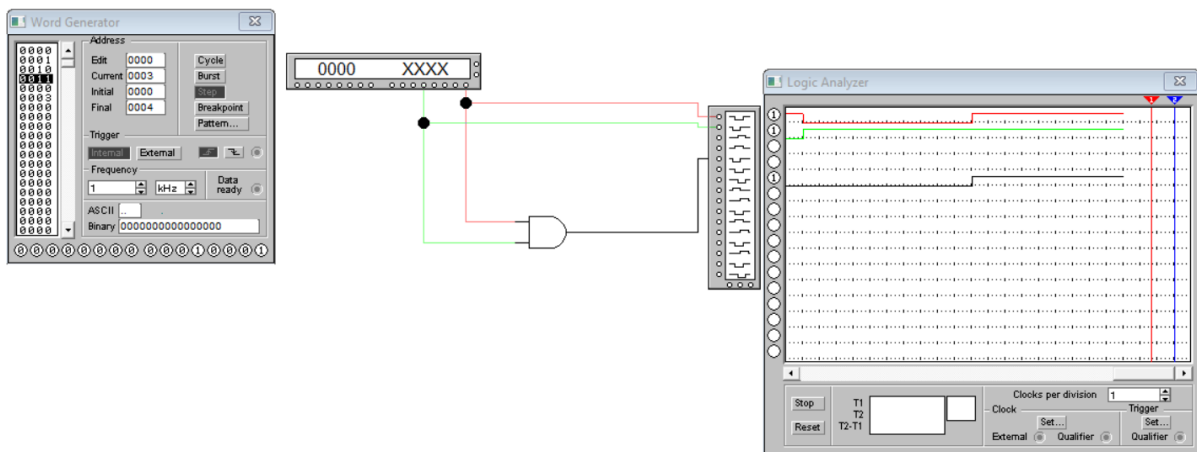


Рисунок 1.8 – Схема дослідження часової діаграми окремого логічного елемента

1.3 Індивідуальні завдання

Для наведеної таблиці істинності (таблиця 1.2, за номером варіанта) побудуйте функцію, реалізуйте її за допомогою двовходових елементів заданого типу (можна використовувати будь-яку кількість елементів, але тільки заданих типів). За допомогою *Electronics Workbench* переконайтеся, що таблиця істинності отриманої схеми відповідає тій, що задана.

Додаткове завдання: мінімізуйте кількість елементів, що використовуються для реалізації заданої функції.

Таблиця 1.2 – Вихідні дані для індивідуального завдання

X1	X2	X3	Y, за номером варіанта														
			1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	1	0	0	1	1	0	1	0	1	1	0	1	1	
0	0	1	0	1	1	0	1	1	0	1	1	1	1	0	1	1	1
0	1	0	0	1	0	0	1	1	0	1	0	1	1	0	1	1	1
0	1	1	1	1	0	1	1	1	1	1	0	1	1	1	1	1	1
1	0	0	1	0	0	0	0	1	0	0	0	1	0	1	0	1	1
1	0	1	1	0	0	0	1	1	0	0	0	1	1	1	1	0	1
1	0	0	1	0	0	0	1	1	0	0	0	0	0	1	0	0	1
1	1	1	1	1	0	0	1	0	0	1	0	1	0	1	0	0	1
Елемент I, Елемент НЕ			+	-	-	+	-	-	+	-	-	+	-	-	+	-	-
Елемент Пірса			-	+	-	-	+	-	-	+		-	+	-	-	+	-
Елемент Шеффера			-	-	+	-	-	+	-	-	+	-	-	+	-	-	+
Примітка – "1" – високий рівень; "0" – низький рівень; "+" – можна використовувати; "-" – не використовувати																	

1.4 Зміст звіту

Звіт з лабораторної роботи має містити: тему, мету, комбінаційні схеми, що підлягають дослідженню, з вказаними параметрами радіоелементів відповідно до варіанта; дані, які отримано експериментальним шляхом (таблиці, скрини схем і т. п.); висновки з виконаної роботи.

Контрольні питання і завдання

- 1 Що таке логічна змінна та логічний сигнал? Яких значень вони можуть набувати?
- 2 Що таке логічна функція?
- 3 Які логічні елементи є в бібліотеці *EWB*?
- 4 Які параметри є параметрами, що налаштовуються в генераторі прямокутних імпульсів?
- 5 Як здійснюється з'єднання більше двох входів або виходів між собою?
- 6 Якою командою можна скопіювати зображення схеми до звіту з лабораторної роботи, що готується в текстовому редакторі *WORD*?
- 7 За допомогою яких елементів можна змоделювати подавання логічної 1 і логічного 0?
- 8 Які параметри генератора прямокутних імпульсів підлягають налаштуванню?
- 9 Як відбувається з'єднання між собою більше двох елементів?
- 10 Якою властивістю характеризується функціонально повний набір логічних елементів?
- 11 Запишіть логічну функцію елемента 8I - НЕ. Приведіть приклад її реалізації на двовходових елементах 2I - НЕ.
- 12 Схеми пожежної сигналізації складаються з 10 гілок, у кожній з яких міститься 10 датчиків. Поясніть, скільки рядків повинна мати таблиця станів логічної функції, що описує роботу пожежної сигналізації.
- 13 Наведіть приклади комбінаційних логічних схем, для опису яких необхідно будувати таблиці з сотнями рядків. Яка кількість рядків у таблиці станів має бути?
- 14 Реалізувати такі логічні висловлювання: а) «якщо A , то B »; б) «якщо B , то C і D »; в) «якщо A , то B або C »; г) « C тільки при A і B »; д) « D при будь-яких двох A, B, C »; е) « A при B або C ».

Лабораторна робота 2

ДОСЛІДЖЕННЯ ЦИФРОВИХ КОМБІНАЦІЙНИХ ПРИСТРОЇВ З ДВІЙКОВИМИ ВХІДНИМИ КОДАМИ

Мета роботи – ознайомитися із середовищем *Electronics Workbench* і вивчити основні можливості і правила роботи в ньому.

2.1 Методичні вказівки з організації самостійної роботи

Під час викладу матеріалу розглядатиметься тільки позитивна логіка, за якої логічній одиниці відповідає висока напруга (або H), а логічному нулю – низька напруга (або L).

Логічними елементами (ЛЕ) називаються функціональні пристрої, за допомогою яких реалізуються елементарні логічні функції.

ЛЕ працюють із двійковим кодуванням інформації, яке характеризується двома рівнями напруги двійкової змінної. Високий рівень напруги позначають цифрою 1 або буквою H . Низький рівень напруги позначають цифрою 0 або буквою L [3, 5].

Залежно від рівня напруги, за якого сприймається або виробляється інформація, розрізняють прямі та інверсні входи і виходи логічних елементів.

Прямим вважається такий вхід (вихід), на якому двійкова змінна має значення 1, коли рівень напруги на цьому вході (виході) відповідає стану, прийнятому за 1.

Якщо двійкова змінна на вході (виході) має значення 1 за рівня напруги на ньому, що відповідає стану, прийнятому за 0, такий вхід (вихід) називається інверсним.

Кожен ЛЕ перетворює послідовність вхідних сигналів у послідовність вихідних сигналів або сигнал. Спосіб перетворення найчастіше описується:

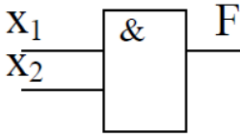
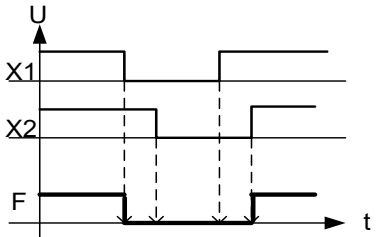
- логічним виразом;
- у вигляді таблиці (таблиці істинності), яка відображає значення вихідного сигналу (сигналів), що відповідає конкретному набору значень вхідних сигналів;
- у вигляді часових діаграм, тобто графіків залежності в часі значень вихідного сигналу (сигналів) від значень вхідних сигналів.

Найпростіші логічні елементи

Логічний елемент І реалізує операцію логічного множення (кон'юнкції): $F = X1 * X2$ або $F = X1 \wedge X2$. На виході ЛЕ І сигнал 1 з'явиться тільки тоді, коли на всіх його входах присутні сигнали 1.

Умовно-графічне позначення (УГП), таблиця істинності та діаграма роботи ЛЕ І наведені в таблиці 2.1.

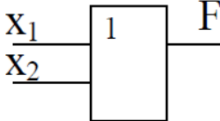
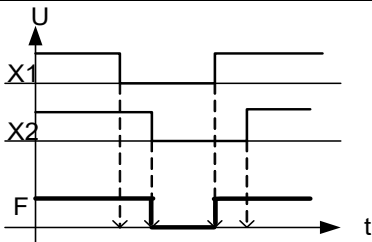
Таблиця 2.1 – Умовно-графічне позначення, таблиця істинності та діаграма роботи ЛЕ І

Логічний вираз	УГП	Таблиця істинності	Діаграма															
$F = X1 * X2$ або $F = X1 \wedge X2$		<table><tr><th>X1</th><th>X2</th><th>F</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	X1	X2	F	0	0	0	0	1	0	1	0	0	1	1	1	
X1	X2	F																
0	0	0																
0	1	0																
1	0	0																
1	1	1																

Логічний елемент АБО реалізує операцію логічного додавання (диз'юнкції): $F = X1 + X2$ або $F = X1 \vee X2$. На ЛЕ АБО сигнал 1 з'явиться тільки тоді, коли хоча б на одному з його входів присутній сигнал 1.

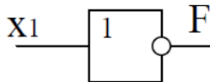
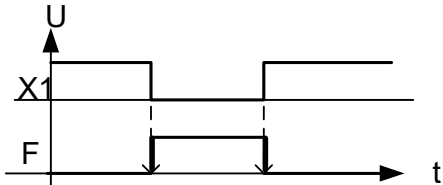
Умовно-графічне позначення (УГП), таблиця істинності, діаграма роботи ЛЕ АБО наведені в таблиці 2.2.

Таблиця 2.2 – Умовно-графічне позначення, таблиця істинності та діаграма роботи ЛЕ АБО

Логічний вираз	УГП	Таблиця істинності	Діаграма															
$F = X1 + X2$ або $F = X1 \vee X2$		<table><tr><th>X1</th><th>X2</th><th>F</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	X1	X2	F	0	0	0	0	1	1	1	0	1	1	1	1	
X1	X2	F																
0	0	0																
0	1	1																
1	0	1																
1	1	1																

Логічний елемент НЕ реалізує функцію логічного заперечення (інверсії). Стан виходу ЛЕ НЕ завжди протилежний стану входу. Умовно-графічне позначення (УГП), таблиця істинності та діаграма роботи ЛЕ НЕ наведені в таблиці 2.3.

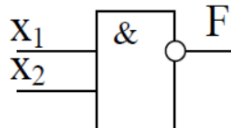
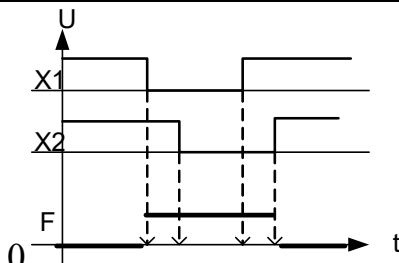
Таблиця 2.3 – Умовно-графічне позначення, таблиця істинності та діаграма роботи ЛЕ НЕ

Логічний вираз	УГП	Таблиця істинності	Діаграма						
$F = \overline{X1}$		<table><tr><td>X1</td><td>F</td></tr><tr><td>0</td><td>1</td></tr><tr><td>1</td><td>0</td></tr></table>	X1	F	0	1	1	0	
X1	F								
0	1								
1	0								

ЛЕ І, АБО, НЕ призначені для виконання трьох основних операцій цифрової логіки над дискретними сигналами. За допомогою цих ЛЕ можна реалізувати логічні операції будь-якої складності. Інакше ці елементи називають основними.

Логічний елемент І - НЕ є комбінацією ЛЕ І та ЛЕ НЕ. Отримати логічну функцію І-НЕ можна за допомогою двох логічних функцій бульового базису І та заперечення НЕ. Функція І - НЕ носить назву «штрих Шеффера». На виході ЛЕ І - НЕ сигнал рівня 0 буде тільки в тому разі, коли на обох його входах присутній сигнал рівня 1. Умовно-графічне позначення, таблиця істинності та діаграма роботи ЛЕ І - НЕ подано в таблиці 2.4.

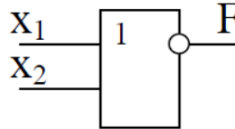
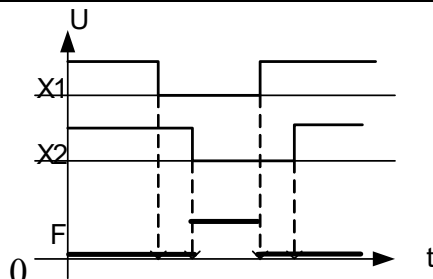
Таблиця 2.4 – Умовно-графічне позначення, таблиця істинності та діаграма роботи ЛЕ І - НЕ

Логічний вираз	УГП	Таблиця істинності	Діаграма															
$F = \overline{X1 * X2}$		<table><tr><th>X1</th><th>X2</th><th>F</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	X1	X2	F	0	0	1	0	1	1	1	0	1	1	1	0	
X1	X2	F																
0	0	1																
0	1	1																
1	0	1																
1	1	0																

Логічний елемент АБО - НЕ є комбінацією ЛЕ АБО і ЛЕ НЕ. Аналогічно можна отримати логічну функцію АБО - НЕ за допомогою двох логічних функцій бульового базису АБО та заперечення НЕ. Функція АБО -НЕ носить назву «стрілки Пірса». На виході ЛЕ АБО - НЕ сигнал рівня 1 буде тільки в тому разі, коли на обох його входах присутній сигнал

рівня 0. Умовно-графічне позначення (УГП), таблиця істинності та діаграма роботи ЛЕ АБО - НЕ подано в таблиці 2.5.

Таблиця 2.5 – Умовно-графічне позначення, таблиця істинності та діаграма роботи ЛЕ АБО - НЕ

Логічний вираз	УГП	Таблиця істинності	Діаграма															
$F = \overline{X1 + X2}$		<table><tr><th>X1</th><th>X2</th><th>F</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	X1	X2	F	0	0	1	0	1	0	1	0	0	1	1	0	
X1	X2	F																
0	0	1																
0	1	0																
1	0	0																
1	1	0																

2.2 Порядок виконання роботи

1 Запишіть у відповідні стовпчики таблиці результатів (таблиця 2.6) значення вхідних логічних сигналів A , B , C , D , E відповідно до варіанта, заданого у таблиці 2.8.

Таблиця 2.6 – Таблиця результатів

N	A	B	C	D	E	Y_1	Y_2
1							
..	..	..	..	..	..	..	..

2 Розрахуйте значення вихідного логічного сигналу Y_1 відповідно до варіанта цифрової схеми, що задана у таблиці 2.8, і запишіть у таблицю результатів (таблиця 2.6).

3 Реалізуйте відповідний варіант цифрової схеми в середовищі *Electronics Workbench*.

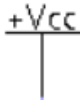
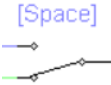
4 Зафіксуйте значення вихідного логічного сигналу Y_2 цифрового пристрою, використовуючи **Red Prob** (Світлоіндикатор). Для подавання

на вхід *A, B, C, D, E*: логічного сигналу "1" використовуйте ***Voltage Source*** (Джерело постійної напруги +5 Вольт), логічного сигналу "0" використовуйте ***Ground*** (Заземлення) і для активування кожного сигналу ***Switch*** (Перемикач).

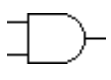
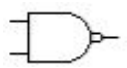
5 Підготуйте новий файл для роботи – новий документ у форматі *.ewb. Для цього необхідно використати меню: ***File/New*** і ***File/Save as***. При виконанні операції збереження ***Save as*** необхідно вказати ім'я файлу і каталог для збереження схеми [2].

6 Перемістіть елементи (таблиця 2.7) відповідно до варіанта для побудови заданої схеми на робочу область *Electronics Workbench*. Для цього необхідно вибрати розділ на панелі інструментів (***Sources, Basic, Logic Gates, Indicators***), що містить логічні елементи і, не відпускаючи кнопки, перенести на монтажний стіл в потрібне місце схеми. Правою кнопкою маніпулятора викликається контекстне меню елемента, що дає швидкий доступ до найпростіших операцій над положенням елемента, таких як обертання (***Rotate***), повертання (***Flip***), копіювання/вирізання (***Copy/Cut***), вставка (***Paste***).

Таблиця 2.7 – Використовувані елементи схеми

Но- мер	Позна- чення	Назва і призначення елементів
1	2	3
1		Джерело постійної напруги +5 вольт (<i>Sources – Voltage Source</i>). За допомогою джерела на вхід тригерів логічних елементів подається логічна одиниця, $U = 1$
2		Перемикач (<i>Basic – Switch</i>). Перемикання проводиться натисненням на клавішу, вказану в дужках над цим елементом

Продовження таблиці 2.7

1	2	3
3		Світлоіндикатор (<i>Indicators – Red Prob</i>). При подаванні логічної одиниці світлодіод загорається червоним кольором
4		Заземлення (<i>Sources – Ground</i>). На вхід тригерів і логічних елементів подається логічний нуль, $U = 0$
5		Логічний елемент "І" (<i>Logic gates – 2-Input AND gate</i>). Реалізує функцію логічного множення. Рівень логічної одиниці на його виході з'являється у разі, коли на один І на інший вхід подається рівень логічної одиниці
6		Логічний елемент "АБО" (<i>Logic gates – 2-Input OR gate</i>). Реалізує функцію логічного додавання. Рівень логічної одиниці на його виході з'являється у разі, коли на один АБО на інший вхід подається рівень логічної одиниці
7		Логічний елемент "НЕ" (<i>Logic gates – 2-Input NOT gate</i>). Елемент логічне НЕ або інвертор змінює перебування вхідного сигналу на протилежне. Рівень логічної одиниці з'являється на його виході, коли на вході НЕ одиниця, і навпаки
8		Логічний елемент "АБО-НЕ" (<i>Logic gates – 2-Input NOR gate</i>). Реалізує функцію логічного додавання з подальшою інверсією результату
9		Логічний елемент "І-НЕ" (<i>Logic gates – 2-Input NAND gate</i>). Реалізує функцію логічного множення з подальшою інверсією результату
10		Логічний елемент "АБО-ВИКЛЮЧНЕ" (<i>Logic gates – 2-Input XOR gate</i>). Двійкове число на виході елемента, що виключає АБО є молодшим розрядом суми двійкових чисел на його входах

7 Розташуйте елементи на монтажному столі для одержання цифрової схеми, як показано на рисунку 2.1 і з'єднайте контакти елементів. Для з'єднання двох контактів необхідно клацнути на один з контактів лівою кнопкою миші і, не відпускаючи клавішу, довести курсор до другого контакту. При появі точки контакту біля виводу іншого елемента відпустити кнопку маніпулятора. У разі потреби додаткові вузли додаються за допомогою елемента **Conector (Basic)**. Для цього перетягується елемент з панелі на місце провідника, де потрібне розгалуження. Кожен з'єднувач має лише чотири точки підключення – справа, зверху, зліва і знизу.

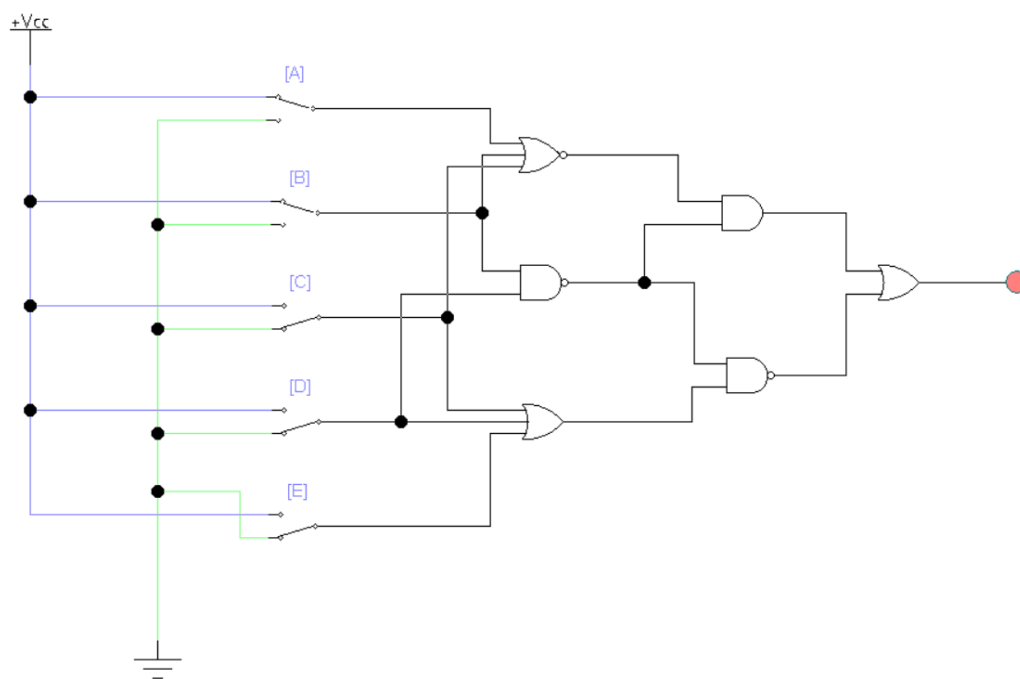


Рисунок 2.1 – Приклад виконання цифрової схеми у *Electronics Workbench*

8 Провідникам задайте лінії різного кольору у вікні властивостей. Якщо певним провідником до контрольної точки підключається вхід віртуального логічного аналізатора, то цим же кольором буде забарвлена відповідна осцилограма на екрані приладу. Для вирівнювання ліній зв'язку і уточнення взаємного позиціонування елементів виділені об'єкти

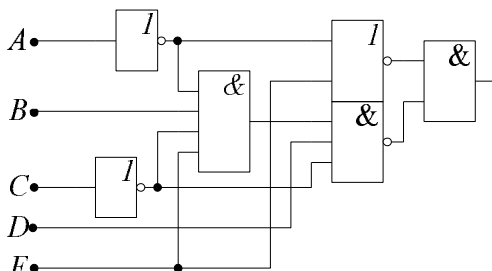
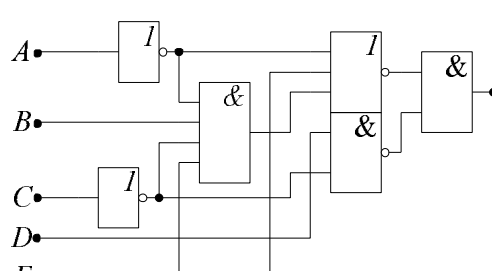
переміщують за допомогою миші методом перетягування або за допомогою клавіш управління курсором.

9 Запустіть процес моделювання, використовуючи кнопку вмикання живлення на панелі інструментів. Якщо при збиранні схеми допущена помилка (замикання елемента живлення накоротко, відсутність нульового потенціалу в схемі), то буде видано відповідне попередження.

10 Заповніть таблицю результатів значеннями вихідного логічного сигналу Y_2 з використанням світлового індикатора.

11 Оформіть звіт про виконану роботу, що містить задану схему і таблицю результатів.

Таблиця 2.8 – Вихідні дані для індивідуального завдання

Варіант 1								
<i>N</i>	<i>A</i>	<i>B</i>	<i>C</i>	<i>D</i>	<i>E</i>	<i>Y</i>		
1	1	0	1	1	0			
2	1	0	0	0	1			
3	0	0	0	1	0			
4	1	0	0	1	0			
5	0	0	1	0	0			
6	1	0	1	0	1			
7	0	0	1	1	0			
8	1	0	1	1	1			
Варіант 2								
<i>N</i>	<i>A</i>	<i>B</i>	<i>C</i>	<i>D</i>	<i>E</i>	<i>Y</i>		
1	1	0	0	0	0			
2	1	1	0	0	1			
3	1	0	0	1	0			
4	1	1	0	1	1			
5	1	0	1	0	0			
6	1	1	1	0	1			
7	1	0	1	1	0			
8	1	1	1	1	1			

Варіант 3						
<i>N</i>	<i>A</i>	<i>B</i>	<i>C</i>	<i>D</i>	<i>E</i>	<i>Y</i>
1	0	1	0	1	0	
2	0	1	0	1	1	
3	0	1	1	0	0	
4	0	1	1	0	1	
5	0	1	1	1	0	
6	0	1	1	1	1	
7	1	0	0	0	0	
8	1	0	0	0	1	

Варіант 4						
N	*A*	*B*	*C*	*D*	*E*	*Y*
1	1	1	0	0	0	
2	1	1	0	0	1	
3	1	1	0	1	0	
4	1	1	0	1	1	
5	1	1	1	0	0	
6	1	1	1	0	1	
7	1	1	1	1	0	
8	1	1	1	1	1	
Варіант 5						
N	*A*	*B*	*C*	*D*	*E*	*Y*
1	1	1	0	0	0	
2	1	1	0	0	1	
3	1	1	0	1	0	
4	1	1	0	1	1	
5	1	1	1	0	0	
6	1	1	1	0	1	
7	1	1	1	1	0	
8	1	1	1	1	1	
Варіант 6						
N	*A*	*B*	*C*	*D*	*E*	*Y*
1	0	0	0	0	0	
2	0	0	0	0	1	
3	0	0	0	1	0	
4	0	0	0	1	1	
5	0	0	1	0	0	
6	0	0	1	0	1	
7	0	0	1	1	0	
8	0	0	1	1	1	

Варіант 7						
<i>N</i>	<i>A</i>	<i>B</i>	<i>C</i>	<i>D</i>	<i>E</i>	<i>Y</i>
1	1	1	0	0	0	
2	1	1	0	0	1	
3	1	1	0	1	0	
4	1	1	0	1	1	
5	1	1	1	0	0	
6	1	1	1	0	1	
7	1	1	1	1	0	
8	1	1	1	1	1	

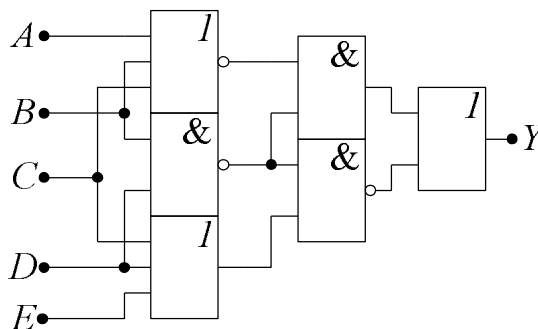
Варіант 8						
N	*A*	*B*	*C*	*D*	*E*	*Y*
1	1	1	0	0	0	
2	1	1	0	0	1	
3	1	1	0	1	0	
4	1	1	0	1	1	
5	1	1	1	0	0	
6	1	1	1	0	1	
7	1	1	1	1	0	
8	1	1	1	1	1	
Варіант 9						
N	*A*	*B*	*C*	*D*	*E*	*Y*
1	0	1	0	1	0	
2	0	1	0	1	1	
3	0	1	1	0	0	
4	0	1	1	0	1	
5	0	1	1	1	0	
6	0	1	1	1	1	
7	1	0	0	0	0	
8	1	0	0	0	1	
Варіант 10						
N	*A*	*B*	*C*	*D*	*E*	*Y*
1	1	1	0	0	0	
2	1	1	0	0	1	
3	1	1	0	1	0	
4	1	1	0	1	1	
5	1	1	1	0	0	
6	1	1	1	0	1	
7	1	1	1	1	0	
8	1	1	1	1	1	

Варіант 11						
<i>N</i>	<i>A</i>	<i>B</i>	<i>C</i>	<i>D</i>	<i>E</i>	<i>Y</i>
1	0	0	0	0	0	
2	0	0	0	0	1	
3	0	0	0	1	0	
4	0	0	0	1	1	
5	0	0	1	0	0	
6	0	0	1	0	1	
7	0	0	1	1	0	
8	0	0	1	1	1	

Варіант 12						
N	*A*	*B*	*C*	*D*	*E*	*Y*
1	1	1	0	0	0	
2	1	1	0	0	1	
3	1	1	0	1	0	
4	1	1	0	1	1	
5	1	1	1	0	0	
6	1	1	1	0	1	
7	1	1	1	1	0	
8	1	1	1	1	1	
Варіант 13						
N	*A*	*B*	*C*	*D*	*E*	*Y*
1	0	0	0	0	0	
2	0	0	0	0	1	
3	0	0	0	1	0	
4	0	0	0	1	1	
5	0	0	1	0	0	
6	0	0	1	0	1	
7	0	0	1	1	0	
8	0	0	1	1	1	
Варіант 14						
N	*A*	*B*	*C*	*D*	*E*	*Y*
1	0	1	0	1	0	
2	0	1	0	1	1	
3	0	1	1	0	0	
4	0	1	1	0	1	
5	0	1	1	1	0	
6	0	1	1	1	1	
7	1	0	0	0	0	
8	1	0	0	0	1	

Продовження таблиці 2.8

Варіант 15						
N	A	B	C	D	E	Y
1	0	1	0	1	0	
2	0	1	0	1	1	
3	0	1	1	0	0	
4	0	1	1	0	1	
5	0	1	1	1	0	
6	0	1	1	1	1	
7	1	0	0	0	0	
8	1	0	0	0	1	



2.3 Зміст звіту

Звіт з лабораторної роботи має містити: тему, мету, комбінаційні схеми, що підлягають дослідженню, з вказаними параметрами радіоелементів відповідно до варіанта; дані, які отримано експериментальним шляхом (таблиці, скріни схем і т. п.); висновки з виконаної роботи.

Контрольні питання і завдання

- 1 Реалізуйте схему «виключне АБО» у базисі «штрих Шеффера».
- 2 Реалізуйте елемент «сума за модулем 2» у базисі «стрілка Пірса».
- 3 Реалізуйте елемент «штрих Шеффера» на елементах «стрілка Пірса».
- 4 Реалізуйте елемент «стрілка Пірса» на елементах «штрих Шеффера».
- 5 Запишіть вираз функції трьох змінних, яка приймає істинні значення за умови, що будь-яка пара змінних одночасно має істинні значення.

6 Реалізуйте логічну схему з непарною кількістю входів m , яка дає змогу вирішити задачу голосуванням більшістю. Розв'язати задачу для $m = 3; 5$.

7 Побудуйте таблиці істинності для функцій трьох змінних: 1) сума за модулем два; 2) нерівність всіх аргументів один одному, тобто вони не співпадають; 3) ВИКЛ. АБО (АБО – альтернатива, тобто один і тільки один для всіх); 4) диз'юнкція.

8 Побудуйте на елементах АБО та АБО - НЕ однотактний пристрій, який реалізує такий алгоритм роботи. На вхід подається п'ятирозрядний двійковий код (x_1, x_2, x_3, x_4, x_5). На виході маємо 1, якщо число одиниць в коді дорівнює 4 чи 5. В інших випадках на виході маємо 0.

9 Побудуйте на елементах АБО та АБО - НЕ однотактний пристрій, який реалізує такий алгоритм роботи. На вхід подається п'ятирозрядний двійковий код (x_1, x_2, x_3, x_4, x_5). На виході маємо 1, якщо число одиниць в коді дорівнює 3. В інших випадках на виході маємо 0.

Лабораторна робота 3

ДОСЛІДЖЕННЯ ЦИФРОВИХ КОМБІНАЦІЙНИХ ПРИСТРОЇВ З ЛОГІЧНИМИ ВХІДНИМИ СИГНАЛАМИ

Мета роботи – засвоїти вміння аналізувати функціонування цифрової схеми. Навчитися підключати до схеми та налаштовувати параметри приладів для спостереження логічних величин – логічного аналізатора. Закріпити вміння створювати цифрову схему у програмі *Electronics Workbench*.

3.1 Методичні вказівки з організації самостійної роботи

Генератор сигналів (*Word Generator*) використовується для задання цифрових послідовностей. На схему виводиться зменшене зображення генератора слів. На шістнадцять виходів в нижній частині генератора паралельно подаються біти слова, які генеруються. На вихід тактового сигналу подається послідовність тактових імпульсів із заданою частотою. Вхід синхронізації використовується для подавання синхронізуючого сигналу від зовнішнього джерела. Для синхронізації роботи цифрової схеми з генератором сигналів встановлюється частота імпульсів в межах від Гц до МГц у вікні *Frequency*.

Подвійним клацанням маніпулятора відкривається вікно параметрів генератора слів (рисунок 3.1). Ліва частина генератора містить 1023 слова адреси. Виділенням відокремлюється слово, активне в даний момент. Значення цього слова відображається в шістнадцятковій системі числення зліва, чи в двійковій системі числення вікно *Binary*, і в міжнародній системі кодів – вікно *ASCII*. Введення слів виконується в лівій або нижній (вікно *Binary*) частині вікна генератора. Маніпулятором виділяється потрібний біт, а введення значення проводиться з клавіатури.

Для подальшого використання встановленого набору слів необхідно зберегти шаблон – кнопка «**Pattern...**», вибрати в новому **Save** і ввести ім'я. Шаблон зберігається у вигляді файлу з розширенням *.dp. Для повторного використання шаблону потрібно натиснути кнопку **Load**. Очищення лівої частини генератора сигналів / заповнення нулями здійснюється натисканням на кнопку **Clear Buffer**.

Генератор сигналів може працювати в трьох режимах:

- покроковий – кнопка **Step** (генератор зупиняється кожний раз після подавання чергового слова);
- циклічний – кнопка **Burst** (на вихід генератора однократно послідовно поступають всі слова);
- неперервний – кнопка **Cycle** (всі слова циклічно передаються на вихід генератора протягом необхідного часу). Для того, щоб перервати роботу в неперервному режимі, необхідно ще раз натиснути кнопку **Cycle** (або **CTRL+T**).

Панель управління **Trigger** визначає момент початку роботи генератора сигналів. Момент запуску може бути заданий по додатному або від'ємному фронтах імпульсу синхронізації. У режимі **External** (зовнішня синхронізація) передавання сигналів на вихід генератора сигналів синхронізується з допомогою імпульсів, що подаються на вхід запуску. З приходом кожного імпульсу на вихід генератора видається одне слово. У режимі **Internal** (внутрішня синхронізація) генератор виконує внутрішню синхронізацію передавання слів на вихід.

Логічний аналізатор (Logic Analyzer). На схему виводиться зменшене зображення логічного аналізатора. Подвійним клацанням миші по зменшеному зображенню відкривається розширене зображення логічного аналізатора, яке приведене на рисунку 3.2. Правий нижній затиск **External** використовується для передавання синхронізуючих імпульсів генератора сигналів. Логічний аналізатор підключається до

досліджуваної схеми за допомогою виводів в його лівій частині, максимально їх може бути шістнадцять сигналів. Часові діаграми сигналів на екрані 16-канального логічного аналізатора зображуються у вигляді прямокутних імпульсів. Круглі вікна в лівій частині аналізатора показують поточний стан входів аналізатора. Кожне вікно відповідає одному з його входів.

Рівні сигналів, що подаються в поточний момент на вхід аналізатора, на екрані зображуються справа. Правий крайній вхід аналізатора відповідає середній часовій діаграмі на екрані аналізатора. Очищення екрану логічного аналізатора здійснюється натисканням на клавішу **Reset**. Часовий масштаб по горизонтальній осі встановлюється у полі **Time base** [2].

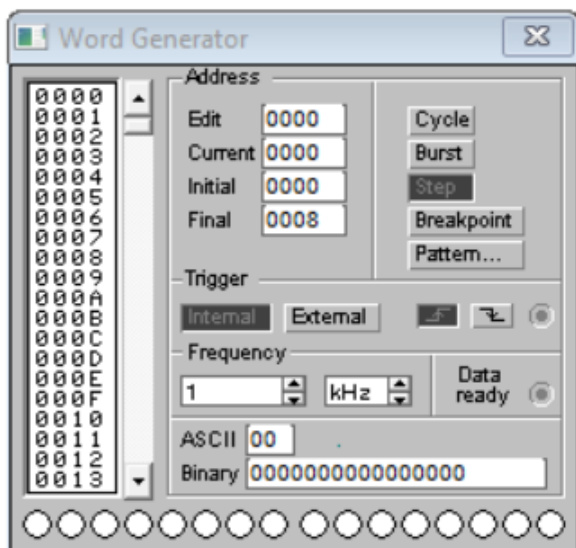


Рисунок 3.1 – Генератор сигналів

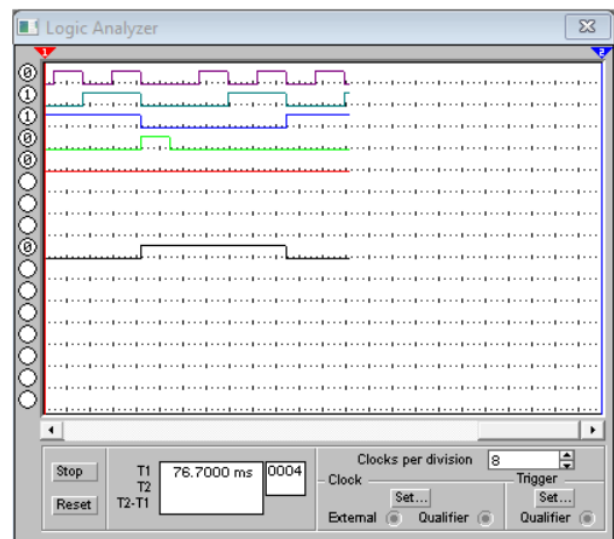


Рисунок 3.2 – Розширене зображення логічного аналізатора

3.2 Порядок виконання роботи

1 Запустіть *Electronics Workbench* і підготуйте новий файл для роботи. Для цього необхідно використати меню: **File/New** і **File/Save as**. Виконуючи операцію збереження **Save as**, необхідно вказати ім'я файлу і каталог для збереження схеми.

2 Перенесіть необхідні елементи для побудови заданої схеми на монтажний стіл *Electronics Workbench*. Для цього необхідно вибрати такі розділи на панелі інструментів: *Sources*, *Basic*, *Logic Gates*, *Instruments*. Генератор слів (*Word Generator*) і логічний аналізатор (*Logic Analyzer*) знаходяться на вкладці *Instruments*.

3 Установіть необхідні номінали і властивості кожному елементу на монтажному столі з використанням діалогового вікна властивостей елемента, в розділі *Value* встановлюють необхідні значення параметрів, а в розділі *Label* задають позиційні позначення елемента. Кількість входів логічних елементів схем можна встановити в межах від двох до восьми, але вихід – може бути тільки один. Для видалення провідника, елемента або приладу з монтажного столу необхідно виділити його і натиснути на клавішу *Del* на клавіатурі.

4 Розташуйте зліва від схеми генератор сигналів (*Word Generator*). Підключіть лінії зв'язку починаючи з крайнього правого елемента. З'єднайте контакти елементів, як показано на рисунку 3.3 відповідно до варіанта (таблиця 3.1). Два входи та вихід приєднайте до логічного аналізатора (*Logic Analyzer*). Задайте такий режим роботи:

- початкову адресу (*Initial*) встановити 0000, а кінцеву (*Final*) – 0008;
- режим зміни адрес – покроковий (*Step*);
- перші 8 адрес генератора слів у двійковій системі числення вікно *Binary* значеннями справа на ліво *E*, *D*, *C*, *B*, *A* (так щоб кожне значення відповідало лінії підключення).

5 Розташуйте логічний аналізатор (*Logic Analyzer*) на робочому столі справа від схеми. Перший вивід внизу елемента з'єднайте із виходом *Data Ready* генератора слів. Підключіть лінії зв'язку починаючи з верхньої контрольної точки. Осцилограми на екрані приладу забарвлюються кольором відповідним кольору провідника, що підключається на вхід

віртуального логічного аналізатора, як показано на рисунках 3.2 та 3.3.

Задайте такий режим роботи:

- синхронізувати логічний аналізатор сигналом **Data Ready** генератора слів, для чого з'єднати вихід цього сигналу з входом **Clock Internal** логічного аналізатора;
- на вкладці **Set...** у розділі **Logic Analyzer** встановити **Pre-trigger samples**, що дорівнює 100, а **Post-trigger samples** – дорівнює 1000;
- встановити опцію **Clocks per divisions** рівною 8;
- встановити внутрішню синхронізацію логічного аналізатора від генератора слів, для чого на вкладці **Set...** у розділі **Clock mode** встановити режим **Internal**.

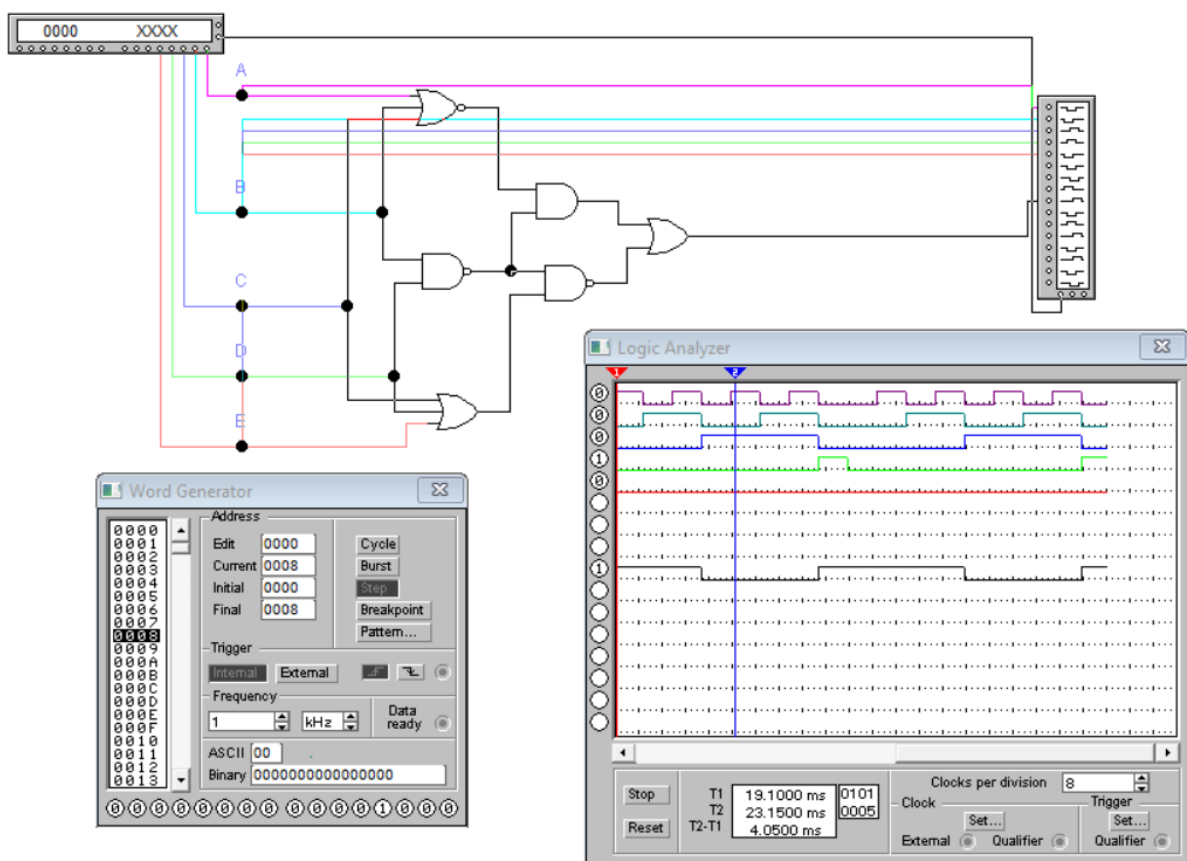
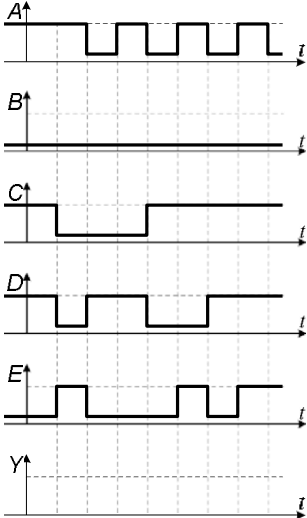
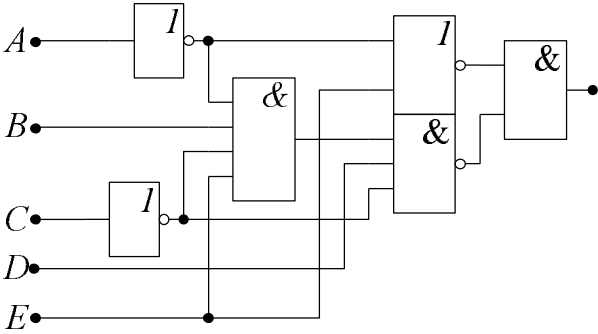
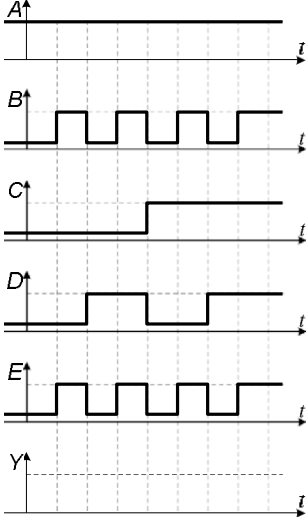
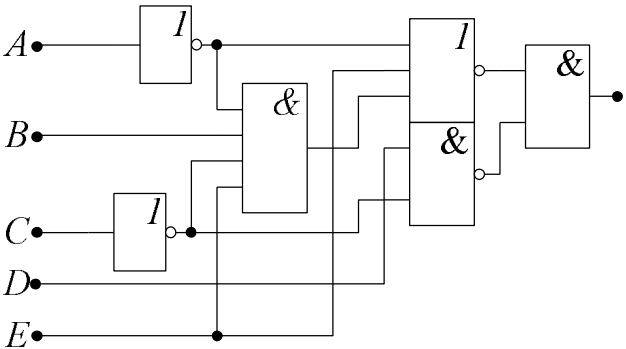


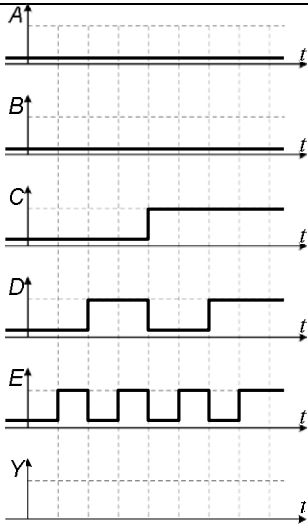
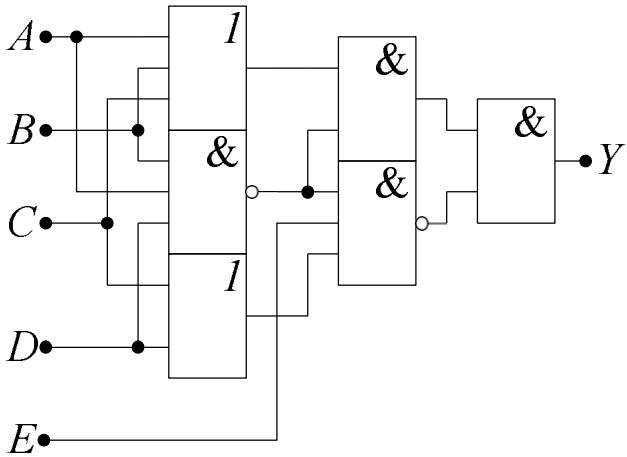
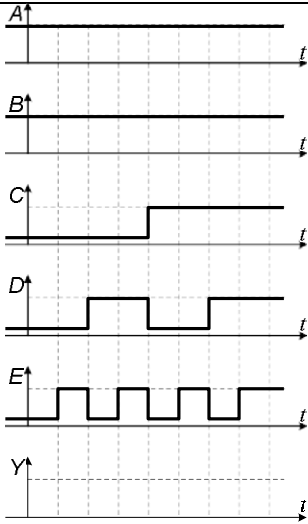
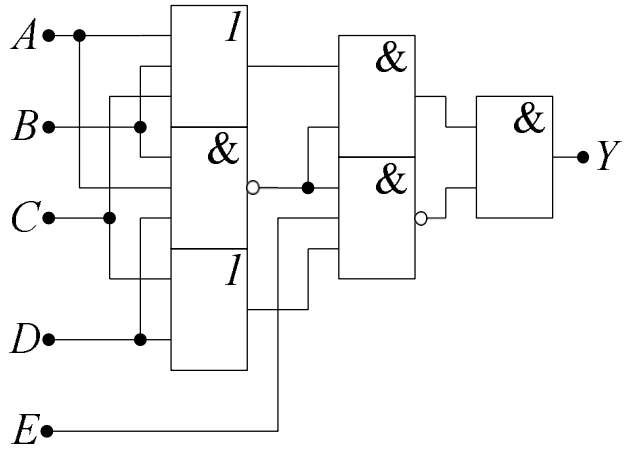
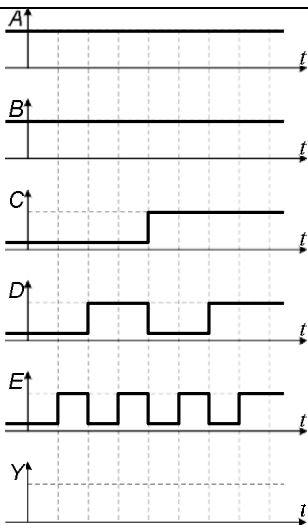
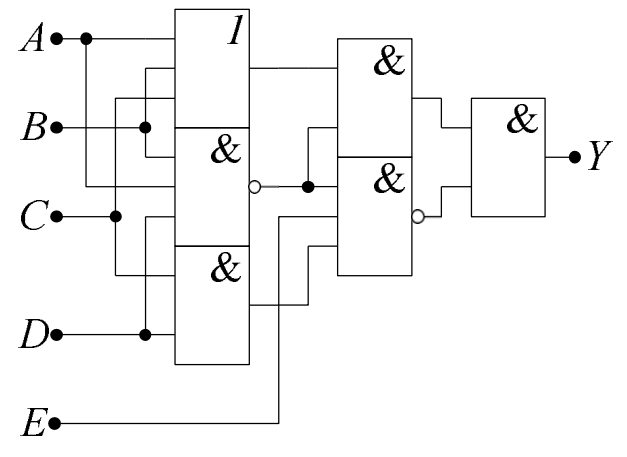
Рисунок 3.3 – Приклад цифрової схеми

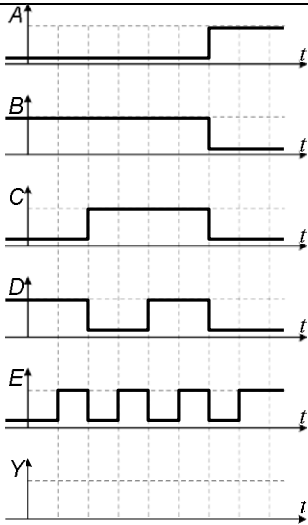
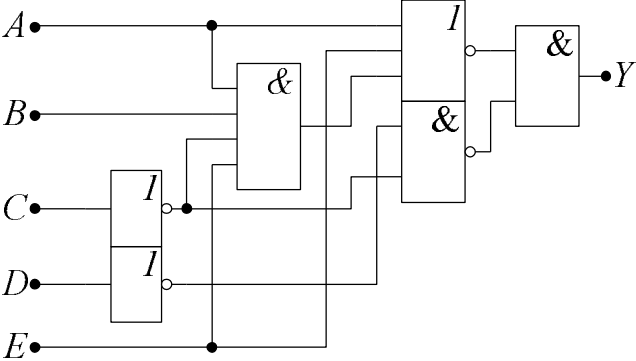
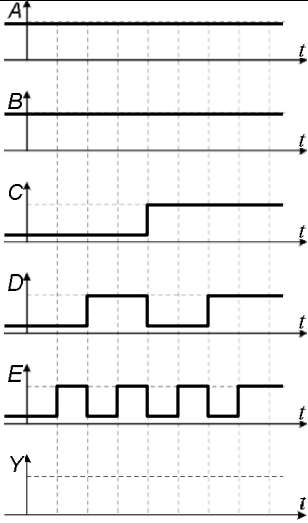
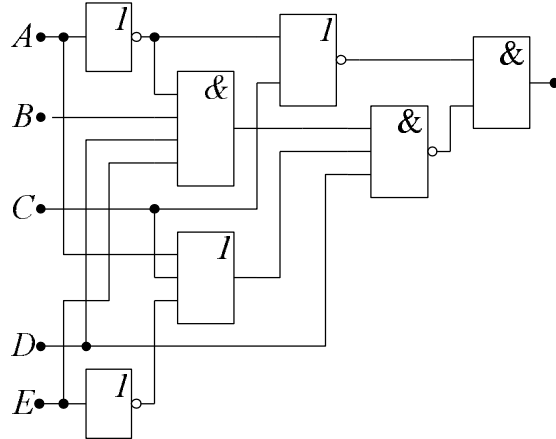
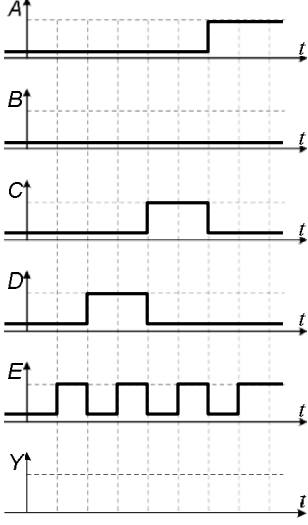
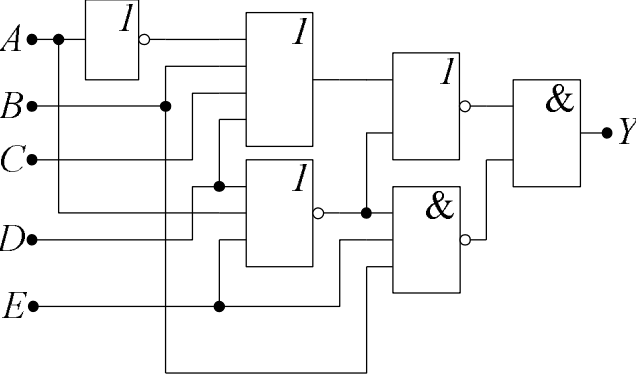
6 Запустіть процес моделювання, використовуючи меню **Logic Analyzer** чи кнопку вмикання живлення на панелі інструментів.

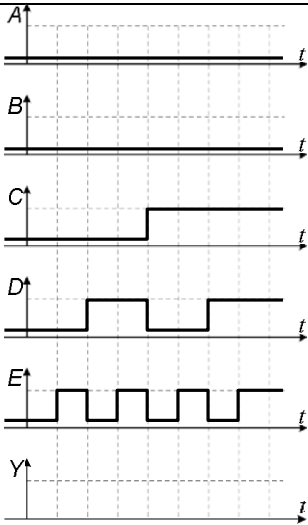
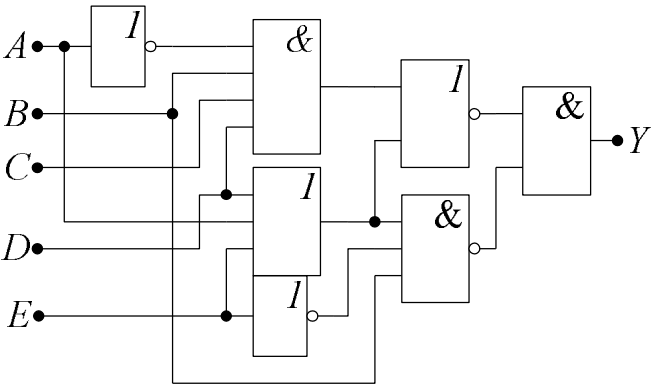
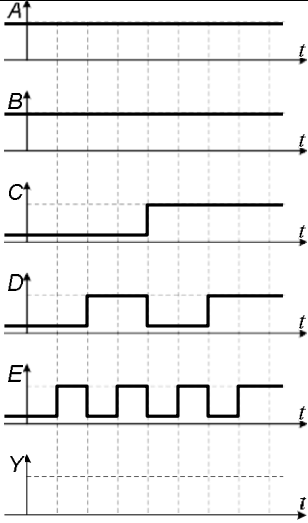
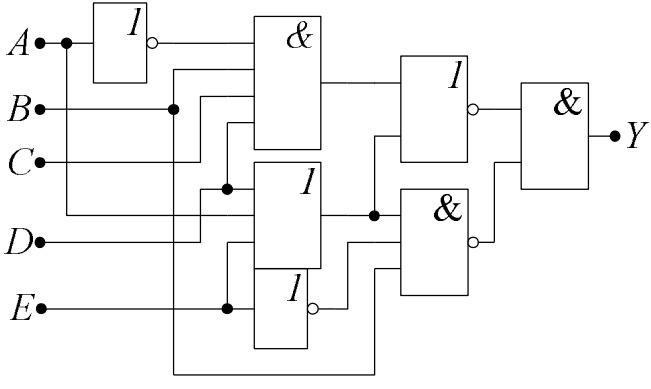
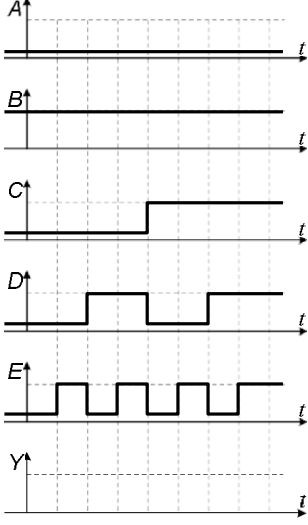
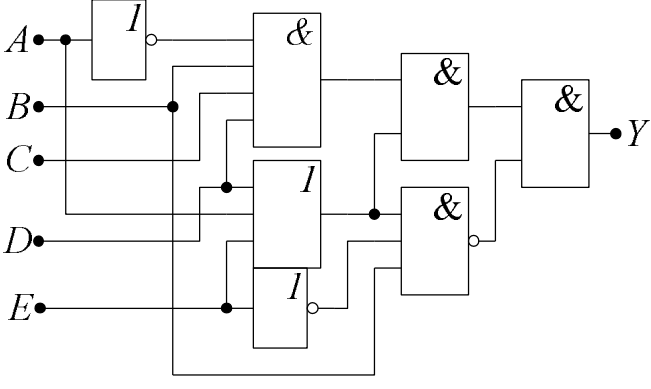
7 Зробіть висновки. Оформіть звіт про виконану роботу. Наведіть в звіті результати моделювання – схему логічного аналізатора.

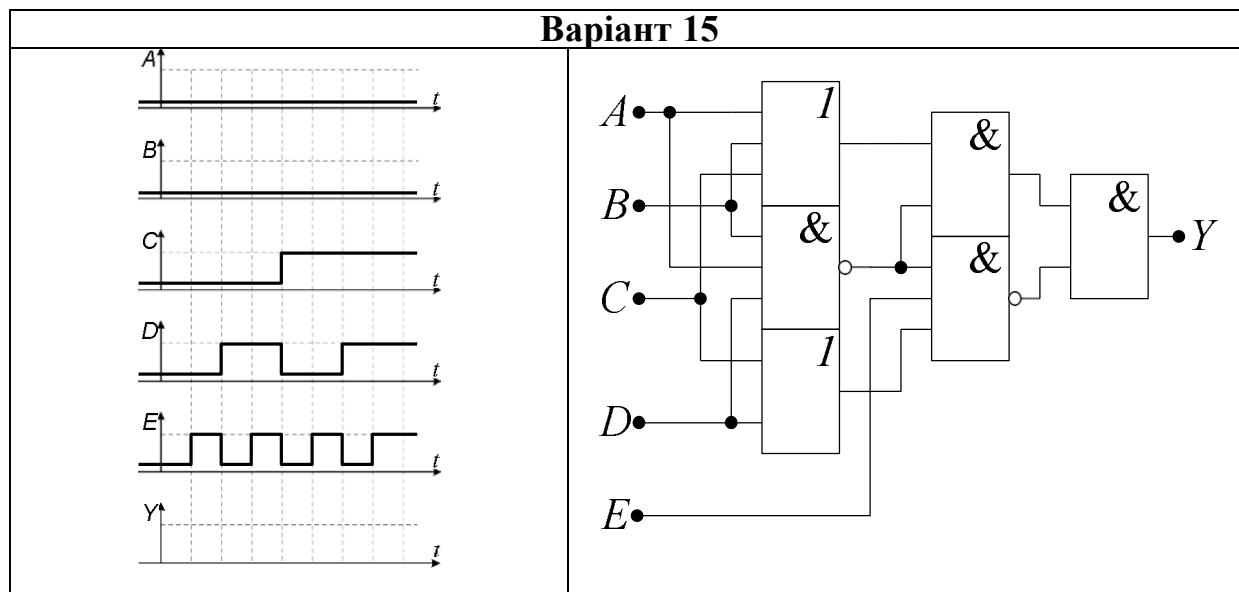
Таблиця 3. 1 – Вихідні дані для індивідуального завдання

Варіант 1	
	
Варіант 2	
	

Варіант 6	
	
Варіант 7	
	
Варіант 8	
	

Варіант 9	
	
Варіант 10	
	
Варіант 11	
	

Варіант 12	
	
Варіант 13	
	
Варіант 14	
	



3.3 Зміст звіту

Звіт з лабораторної роботи має містити: тему, мету, комбінаційні схеми, що підлягають дослідженню, з вказаними параметрами радіоелементів відповідно до варіанта; дані, які отримано експериментальним шляхом (таблиці, скріни схем і т. п.); висновки з виконаної роботи.

Контрольні питання і завдання

- 1 Що таке такт? Який сигнал відповідає логічній одиниці, а який – нулю?
- 2 Перелічіть відомі елементарні логічні елементи і їхнє позначення.
- 3 Яке призначення логічного аналізатора?
- 4 Охарактеризуйте роботу *Word Generator*.
- 5 Які типи сигналів може аналізувати логічний аналізатор? Наведіть приклади.
- 6 Що таке логічна таблиця істинності, і як її будують для різних логічних елементів?

7 Який існує порядок виконання логічних операцій під час перетворення логічних функцій?

8 Як перевірити правильність перетворення логічних функцій у булеві за допомогою таблиць істинності?

9 Яка послідовність операцій перетворення логічних функцій у булеві функції?

10 Використовуючи елементи АБО - НІ, реалізуйте функцію:

$$y = x_1 \cdot (\overline{x_1} + \overline{x_2}) \cdot (x_2 + \overline{x_3} \cdot x_4).$$

11 Використовуючи елементи ВИКЛ. АБО, розробіть схему пристрою для вмикання (вимикання) освітлення в приміщенні з трьома входами, біля кожного з яких має розміщуватись вимикач.

Лабораторна робота 4

СИНТЕЗ І ДОСЛІДЖЕННЯ РОБОТИ ТРИГЕРНИХ ПРИСТРОЇВ

Мета роботи — вивчення питань, що стосуються синтезу та принципу дії тригерів різних типів: асинхронних, синхронних, «Master-Slave», із установчими входами. Вивчення основних схем включення тригерів.

4.1 Методичні вказівки з організації самостійної роботи

Класифікація тригерів. Основні параметри тригерів

Тригером називається пристрій, що має два стійкі стани («0» або «1») і здатний під дією вхідного сигналу стрибком переходити з одного стійкого стану в інший [9].

Тригер – це найпростіший автомат із пам'яттю та здатністю зберігати 1 біт інформації («0» або «1»).

Тригери мають два виходи: прямий (Q) та інверсний ($\overline{Q}$). Якщо тригер перебуває у стані «1», то на виході Q буде сигнал «1», а на виході $\overline{Q}$ буде сигнал «0». Якщо тригер перебуває у стані «0», його вихід Q дорівнює «0», а вихід $\overline{Q}$ дорівнює «1».

За способом запису інформації тригери поділяються на асинхронні та синхронні.

У асинхронних тригерів запис інформації відбувається під впливом інформаційних сигналів. Такі тригери мають лише інформаційні входи. Умовно-графічне позначення такого тригера подано на рисунку 4.1.

Недоліком асинхронних тригерів, який обмежує їхнє використання у швидкодіючих пристроях, є незахищеність перед небезпечними змаганнями (гонками) сигналів, сутність яких полягає в тому, що сигнали, які подаються на інформаційні входи тригера, проходять по різних колах, через різну кількість логічних елементів. У зв'язку з цим можливі часові зміщення сигналів, величини яких можуть змінюватись у широких межах. Це може призвести до запису в тригери хибної інформації. Синхронізація дає змогу цей недолік ліквідувати. До того ж, синхронізація дає можливість підвищити завадостійкість тригера, адже значно зменшується інтервал часу доступу до його інформаційного входу (входів) [4].

Синхронний тригер змінює свій стан лише в строго визначені (тактові) моменти часу, відповідні дії активного сигналу на його синхронізуючому вході C . Слід зазначити, що тактовий сигнал є керуючим імпульсом, адже вважається, що до його приходу зміна сигналів на інформаційних входах має бути завершена.

Синхронні тригери бувають зі статичним, динамічним керуванням записом та двоступеневі.

Синхронні тригери зі статичним керуванням записом приймають інформаційні сигнали весь час, поки діє імпульс синхронізації (рисунок 4.2). Отже, перемикання тригера під час дії імпульсу синхронізації може бути багаторазовим. У таких тригерів вхід C – статичний. Характерним для статичних тригерів є те, що за активного стану тактового входу (наявність одиничного рівня потенціалу) вони поведуть себе як асинхронні. Ця властивість у багатьох випадках є суттєвим недоліком синхронних тригерів зі статичним тактовим входом, адже може призводити до порушень у роботі за наявності завад. Цей недолік усунений у тригерах із динамічним тактовим входом, а також у тригерах із двоступеневим керуванням.

Синхронні тригери з динамічним керуванням записом приймають ті інформаційні сигнали, які були на інформаційних входах на мить приходу синхроімпульсу. У таких тригерів вхід C – динамічний, рисунок 4.3.

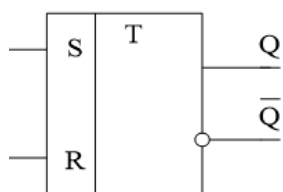


Рисунок 4.1 –
Асинхронний тригер

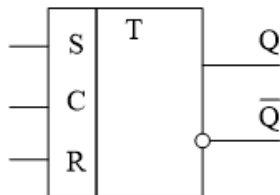


Рисунок 4.2 –
Синхронний тригер зі
статичним керуванням

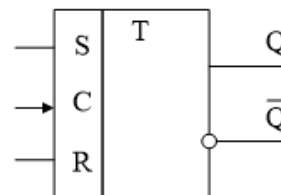
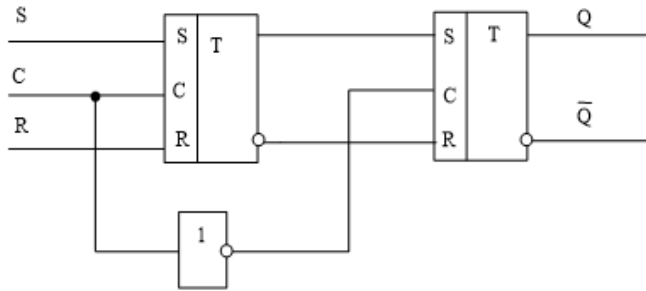


Рисунок 4.3 –
Синхронний тригер з
динамічним керуванням

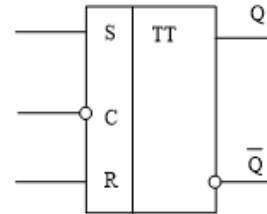
Синхронні двоступеневі тригери мають два елементи пам'яті, які з'єднані послідовно (рисунок 4.4). Запис інформації в них виконується послідовно, у неспівпадаючі моменти часу. Така послідовність тригерів називається *MS*-структурою (Master-Slave) або просто *MS*-тригерами. На умовних позначеннях *MS*-тригери позначаються двома літерами *TT*.

Функціональні властивості схеми задаються першим тригером, а другий у більшості – звичайний синхронний RS -тригер. Двоступеневий тригер може керуватись не тільки двома, а й одним синхроімпульсом.

а)



б)



а – структура двоступеневого тригера, б – умовно-графічне позначення двоступеневого тригера

Рисунок 4.4 – Синхронний двоступеневий тригер

Прийнято такі позначення входів тригерів:

- S – роздільний вхід установки тригера в одиничний стан прямого виходу Q ;
- R – роздільний вхід скидання тригера в нульовий стан прямого виходу Q ;
- J – вхід установки універсального тригера в одиничний стан прямого виходу Q ;
- K – вхід скидання універсального тригера в нульовий стан прямого виходу Q ;
- C – вхід синхронізації. Умовні позначення потенціальних і динамічних входів синхронізації наведено на рисунку 4.5;

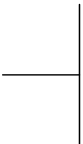
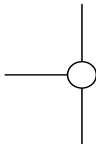
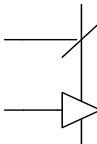
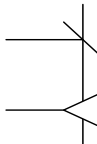
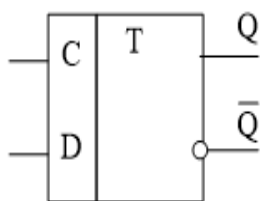
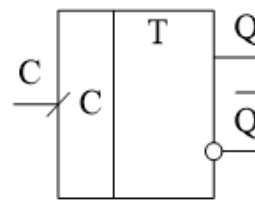
Позначення:				
Є активним:	1	0	0/1	1/0

Рисунок 4.5 – Умовні позначення входу синхронізації

- D – інформаційний вхід перемикання тригера в стан, відповідний логічному рівню на цьому вході, рисунок 4.6, а;
- T – лічильний (рахунковий) вхід, рисунок 4.6, б.



а) D -тригер



б) T -тригер

Рисунок 4.6 – Умовні позначення D -тригера та T -тригера

Окрім цих основних входів деякі тригери можуть забезпечуватися входом V . Вхід V блокує роботу тригера і він скільки завгодно довго може зберігати раніше записану в нього інформацію.

Параметри тригера

Для всіх тригерів характерні такі параметри [5, 6]:

$K_{розг}$ – коефіцієнт розгалуження, що показує здатність навантаження тригера, тобто позначає кількість елементів, які паралельно приєднані до виходу тригера і на які подається вихідний сигнал тригера;

$K_{об}$ – коефіцієнт об'єднання по входу, який позначає максимальну кількість вхідних сигналів, які можна подати на вхід тригера;

t_i – найменша тривалість вхідного сигналу (імпульсу), у якому відбувається надійне перемикання тригера;

t_{zm} – час затримки між миттю подавання вхідного сигналу та появою вихідного сигналу;

t_0 – час дозволу, який характеризує найменший інтервал між моментами подавання двох вхідних сигналів з тривалістю t_i , що викликає перемикання тригера.

Асинхронні тригери. Асинхронний RS -тригер

Основу тригерів складають найпростіші запам'ятовувальні комірки, які отримують з'єднанням двох потенціальних елементів І - НЕ (АБО - НЕ). Вони є найпростішими асинхронними RS -тригерами. На рисунку 4.7 для кожного тригера наведена функціональна схема, умовне позначення, таблиця функціонування і характеристичне рівняння.

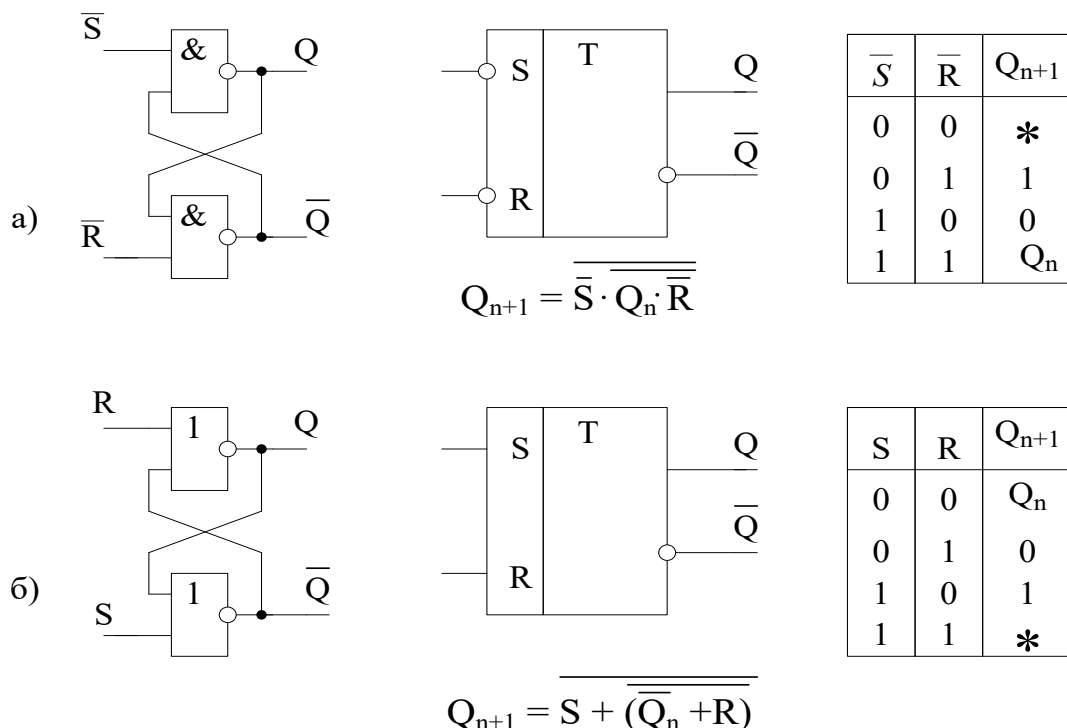


Рисунок 4.7 – Асинхронний RS -тригер на елементах І - НЕ (а),
на елементах АБО - НЕ (б)

Активне значення на S -вході тригера діє так, щоб установити тригер (прямий вихід Q) в одиничний стан. Активне значення на R -вході встановлює тригер (прямий вихід Q) в нульовий стан. За пасивних значень сигналів на R - і S -входах тригер зберігає попередній стан за рахунок зворотних зв'язків. Коли ж на обох входах присутнє активне значення сигналу (що відповідає одночасному установленню тригера в 1 і 0), таку комбінацію називають забороненою, яка приводить к невизначеному стану тригера (в таблицях вона позначена зірочкою).

Для тригера на елементах І - НЕ активними є нульові значення вхідних сигналів. У цьому випадку на схемі R і S зображуються з інверсією, а в функціональному позначенні на входах зображують кружечки. Такі входи називають інверсними.

Для тригера на елементах АБО - НЕ активними є одиничні значення вхідних сигналів. Такі входи називають прямими, вхідні змінні для них пишуться без інверсії і кружечки в позначенні не ставлять.

Асинхронний JK -тригер

Умовно-графічне позначення асинхронного JK -тригера, його схема та діаграма роботи представлені на рисунку 4.8.

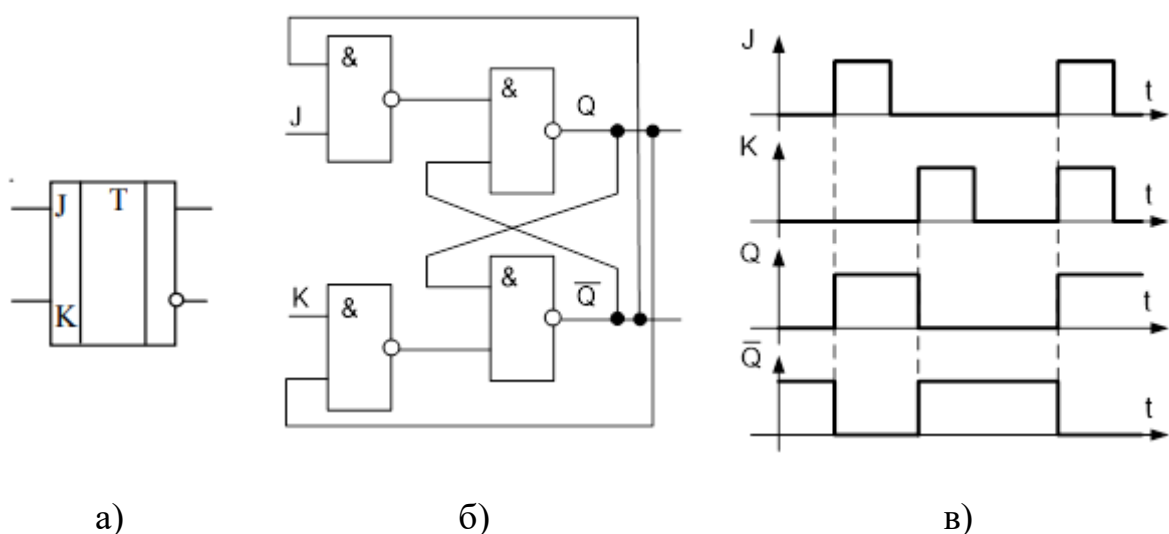


Рисунок 4.8 – Умовно-графічне позначення JK -тригера (а), схема (б), діаграма роботи (в)

Цей тригер подібно до асинхронного RS -тригера має два інформаційні входи J , K і перемикається згідно з таблицею істинності RS -тригера з прямими входами. В схемі тригера $J \equiv S$, а $K \equiv R$, але на відміну від RS -тригера не має невизначеного стану. Роботу асинхронного JK -тригера можна описати таблицею істинності (таблиця 4.1).

Таблиця 4.1 – Таблиця істинності асинхронного JK -тригера

J	K	Q^t	Q^{t+1}	Примітка
0	0	0	0	Зберігання "0" (сигнали на входах неактивні)
0	1	0	0	Встановлення у стан «0» (тригер перебував у стані «0», встановлюється у стан «0» активним входом $K = 1$)
1	0	0	1	Встановлення у стан «1» (тригер перебував у стані «0», встановлюється у стан «1» активним входом $J = 1$)
1	1	0	1	Рахунковий режим, тригер переходить зі стану "0" в стан "1"
0	0	1	1	Зберігання "1" (сигнали на входах неактивні)
0	1	1	0	Встановлення у стан «0» (тригер перебував у стані «1», встановлюється у стан «0» активним входом $K = 1$)
1	0	1	1	Встановлення у стан «1» (тригер перебував у стані «1», встановлюється у стан «1» активним входом $J = 1$)
1	1	1	0	Рахунковий режим, тригер переходить зі стану «1» до «0»

Виключення невизначеного стану у JK -тригері забезпечується його перемиканням при комбінації сигналів $J = K = 1$ у стан інверсний тому,

який він мав до надходження цієї комбінації сигналів через інтервали часу, що дорівнюють тривалості затримки перемикавання тригера, інакше кажучи, тригер працює у рахунковому режимі. На виході JK -тригера має місце паразитна генерація, частота якої дорівнює $f = 1/(8t_{\text{зп}})$. Отже завдяки паразитній генерації асинхронні JK -тригери можна використовувати лише при керуванні імпульсами, тривалість яких задовольняє певній умові. У цьому випадку, для запобігання паразитної генерації, після перемикавання тригера сигналами $J = K = 1$ у стан інверсний попередньому, його треба перевести у стан зберігання інформації сигналами $J = 0, K = 0$. Це накладає обмеження на тривалість імпульсних сигналів високого рівня напруги на інформаційних входах JK -тригера.

Жорсткі часові співвідношення, які накладаються на тривалість керуючих імпульсних сигналів у асинхронних JK -тригерах, ускладнюють схеми на їхній основі. Тому асинхронні JK -тригери в інтегральному виконанні не випускають. До складу серій інтегральних мікросхем входять лише синхронні JK -тригери, для яких знайдені схемотехнічні реалізації, що дають змогу подолати паразитну генерацію [20].

Асинхронний D -тригер

Асинхронний D -тригер має один інформаційний вхід D і повторює при перемиканні на виході Q логічний сигнал, що діє на вході D . Таблиця істинності асинхронного D -тригера наведена на рисунку 4.9, а, а його умовне позначення – на рисунку 4.9, б.

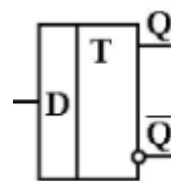
Відсутність невизначеного стану у D -тригері є його позитивною якістю порівняно з RS -тригером, оскільки при використанні D -тригерів у цифрових схемах виключається порушення логіки їхньої роботи завдяки виникненню невизначеного стану.

Використання у схемах пристрою керування асинхронного D -тригера (рисунок 4.9, в, г) інверторів DDI виключає одночасне

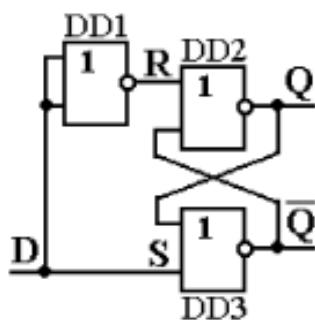
надходження на входи RS -тригерів $DD2$, $DD3$ не тільки активних, але й пасивних сигналів, за яких забезпечується стан зберігання інформації RS -тригера. Тому асинхронний D -тригер, як випливає з його таблиці істинності (рисунок 4.9, а), не має стану зберігання інформації. Це не дає змоги використовувати асинхронний D -тригер, як елемент пам'яті при побудови запам'ятовуючих пристроїв [5, 6].

D_n	Q_{n+1}
0	0
1	1

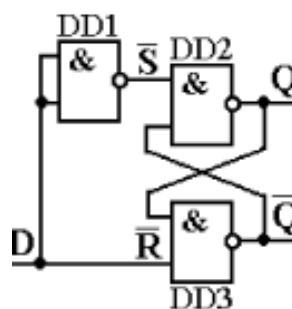
а)



б)



в)



г)

Рисунок 4.9 – Асинхронний D -тригер: таблиця істинності (а), умовно-графічне позначення (б), схеми в базисах АБО - НЕ та І - НЕ відповідно (в, г)

Асинхронний T -тригер

T -тригер має один інформаційний вхід, за наявності на якому керуючого сигналу (логічної “1” для T -тригера зі статичним керуванням), перемикається у стан інверсний попередньому, а за відсутності такого сигналу (наявності логічного “0”) зберігає попередній стан. Умовно-

графічне позначення асинхронного T -тригера, його схема та діаграма роботи подані на рисунку 4.10.

Роботу асинхронного T -тригера можна описати таблицею істинності, яка наведена в таблиці 4.2 [7].

З таблиці істинності випливає, що T -тригер єдиний з вище розглянутих тригерів, поточний стан якого визначається не інформацією на вході, а його станом на попередньому такті.

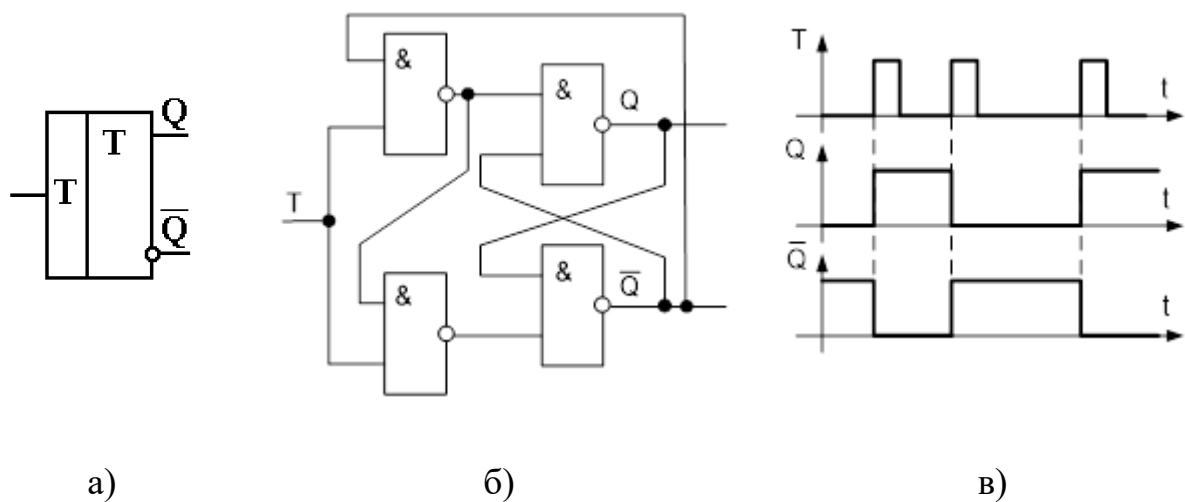


Рисунок 4.10 – Умовно-графічне позначення T -тригера (а), схема (б), діаграма роботи (в)

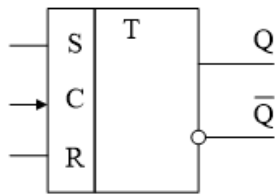
Таблиця 4.2 – Таблиця істинності асинхронного T -тригера

T^t	Q^t	Q^{t+1}
0	0	0
1	0	1
0	1	1
1	1	0

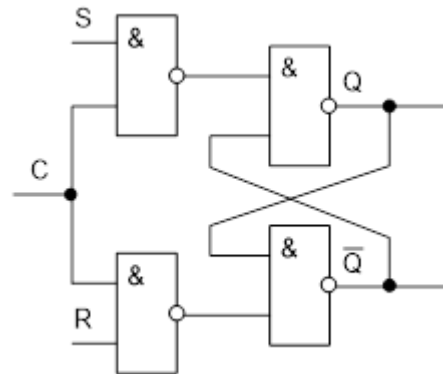
Синхронні тригери. Синхронний RS -тригер

Синхронний RS -тригер окрім інформаційних входів R і S має вхід синхронізації C . Умовно-графічне позначення синхронного RS -тригера,

його схема, таблиця істинності та діаграма роботи подані на рисунку 4.11. Як видно з таблиці істинності за відсутності на вході синхронізації керуючого сигналу ($C = 0$) незалежно від стану входів R і S тригер знаходиться у стані зберігання інформації. За наявності на вході синхронізації керуючого сигналу ($C = 1$), тригер перемикається згідно з таблицею істинності асинхронного RS -тригера.



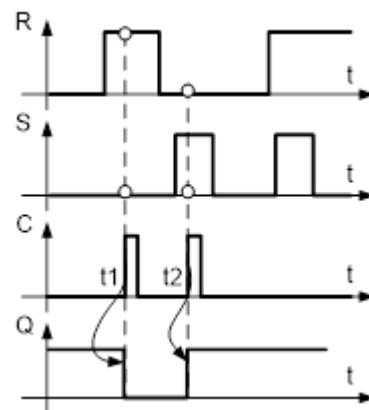
а)



б)

C_n	S_n	R_n	Q_{n+1}
0	×	×	Q_n
1	0	0	Q_n
1	0	1	0
1	1	0	1
1	1	1	-

в)



г)

Рисунок 4.11 – Умовно-графічне позначення синхронного RS -тригера (а), схема (б), таблиця істинності (в), діаграма роботи (г)

RS -тригер є здебільшого лише елементом пам'яті для різних типів тригерних систем. Головна ж роль у формуванні властивостей системи

належить схемі керування, яка перетворює входні сигнали $x_0 \dots x_n$, $C_0 \dots C_n$ у сигнали керування елементом пам'яті [8].

Синхронний JK -тригер

Окрім входів J і K такий тригер має вхід синхронізації C , за наявності на якому керуючого сигналу, перемикається як асинхронний JK -тригер, а за його відсутності знаходиться у стані зберігання інформації. Умовно-графічне позначення синхронного JK -тригера з прямим статичним керуванням, його схема та таблиця істинності подані на рисунку 4.12.

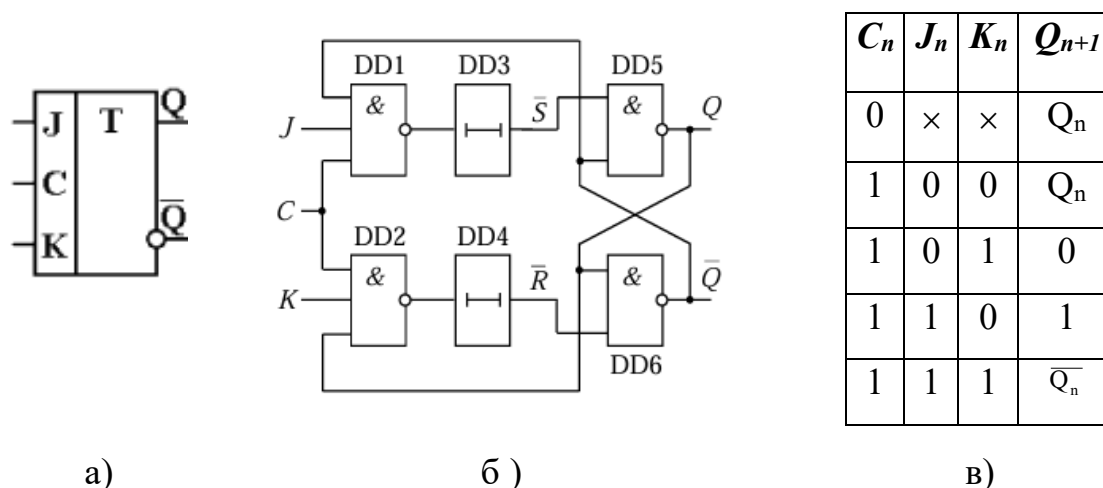


Рисунок 4.12 – Умовно-графічне позначення синхронного JK -тригера (а), схема (б), таблиця істинності (в)

У комп'ютерній електроніці JK -тригери зі статичним керуванням не використовують завдяки їхній підвищеній чутливості до завад і паразитній генерації, що виникає за наявності на входах сигналів $C = 1$, $J = 1$, $K = 1$. Використовують синхронні JK -тригери з динамічним керуванням, які створюють за двоступеневою схемою або з внутрішніми затримками, що дають змогу подолати паразитну генерацію [7, 8].

Синхронний D -тригер

Синхронний D -тригер окрім інформаційного входу D має вхід синхронізації C , сигнали на якому або дозволяють запис інформації в тригер, або переводять його в режим зберігання інформації [7, 8].

Умовно-графічне позначення D -тригера, його схема та діаграма роботи подані на рисунку 4.13.

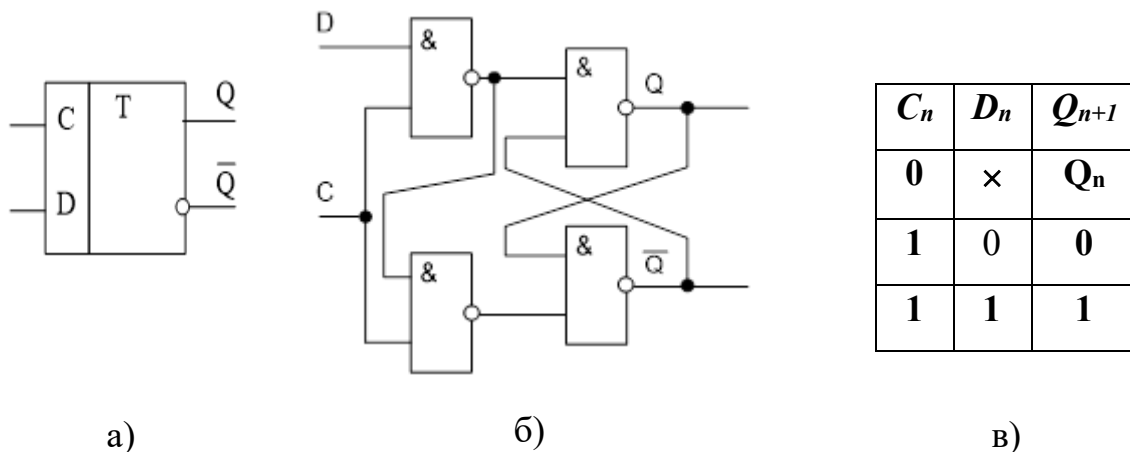


Рисунок 4.13 – Умовно-графічне позначення D -тригера (а), схема (б), таблиця істинності (в)

D -тригер (тригер затримки) є найпоширенішим тригером. Він має один інформаційний вхід D (вхід даних) та один тактовий вхід C .

Недоліком синхронних тригерів зі статичним керуванням, порівняно з тригерами, які мають динамічне керування, є більша чутливість до завад. Тому до складу серій цифрових мікросхем зазвичай входять синхронні D -тригери з динамічним керуванням [7, 8].

D -тригер з установчими входами

Окрім синхронних тригерів з потенціальними тактовими входами існують тригери з динамічними тактовими входами, які реагують на зміну (фронт) сигналу на тактовому вході. Одним з прикладів такого тригера є тригер, побудований за схемою трьох тригерів, показаний на рисунку 4.14. Це синхронний D -тригер з додатковими установчими RS -входами, які є

потенціальними та інверсними. Як видно зі схеми, коли RS -входи активні, стан тригера за сигналом на D -вході змінитися не може. За сигналом на D -вході тригер змінює свій стан в момент зміни сигналу на C -вході з 0 на 1. У цьому випадку кажуть, що тригер реагує на передній фронт сигналу. Коли на тактовому C -вході присутній потенціал (1 або 0), при зміні сигналу на D -вході стан тригера змінитися не може (якщо RS -входи пасивні) [8].

Умовно-графічне позначення D -тригера з установчими входами, його схема та діаграма роботи подані на рисунку 4.14.

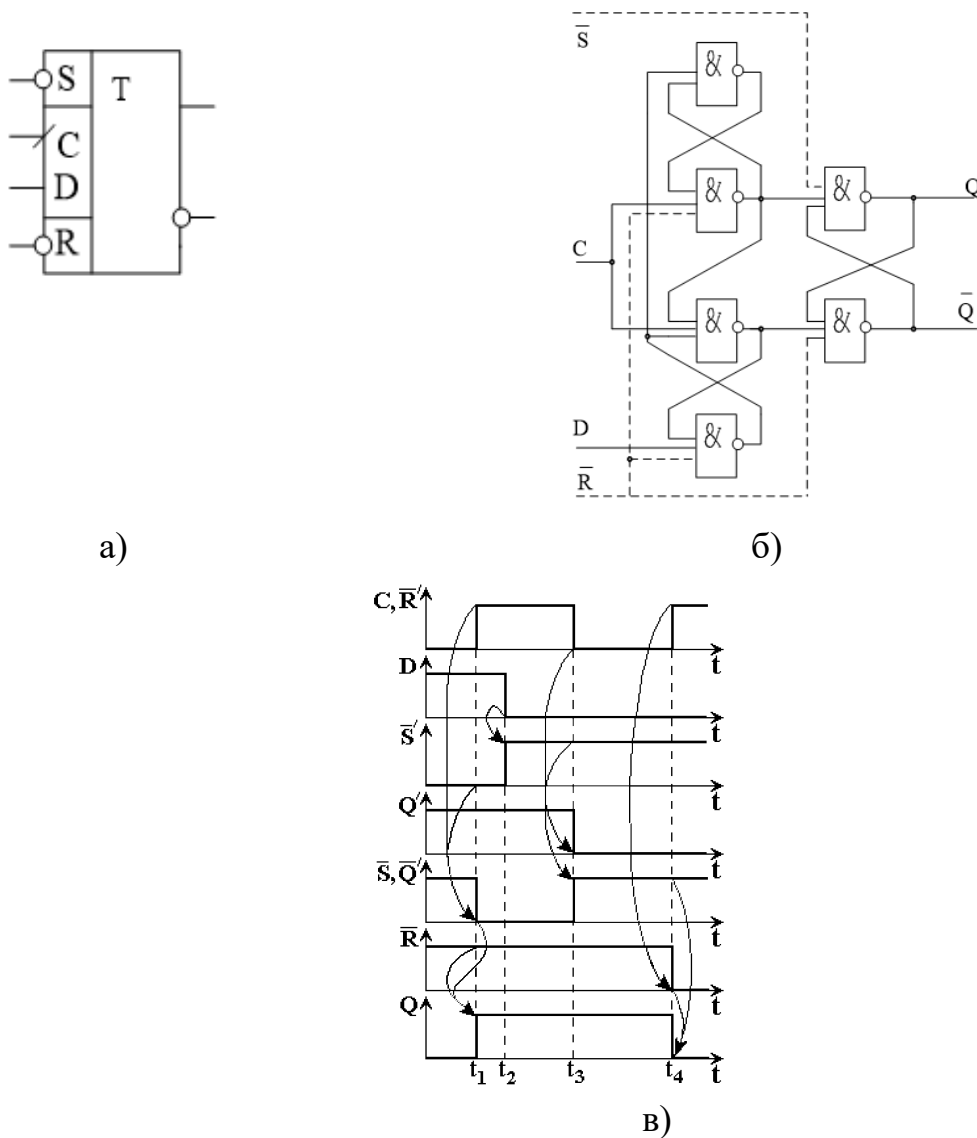


Рисунок 4.14 – Умовно-графічне позначення D -тригера з установчими входами $\bar{R}\bar{S}$ (а), схема (б), діаграма роботи (в)

4.2 Порядок виконання роботи

Під час виконання лабораторної роботи проведіть такі експерименти в програмі *Electronic Workbench*.

1 Дослідження *RS*-тригера з прямими входами (на елементах АБО - НЕ). Зберіть схему, зображену на рисунку 4.15. Для подавання на вхід логічної одиниці переведіть ключ на живлення, для подавання на вхід логічного нуля переведіть ключ на «землю».

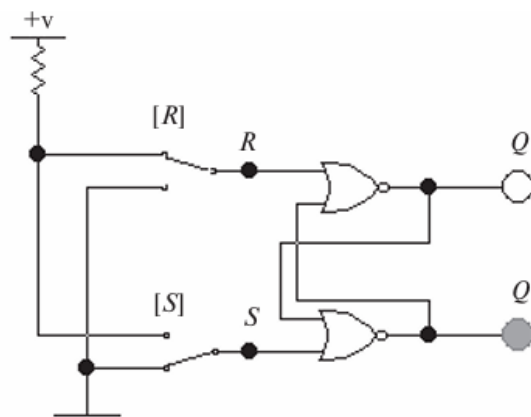


Рисунок 4.15 – *RS*-тригер із прямими входами

Послідовно подавайте на схему такі сигнали:

$$S = 0, R = 1;$$

$$S = 0, R = 0;$$

$$S = 1, R = 0;$$

$$S = 0, R = 0.$$

Переконайтеся в тому, що при $S = 0, R = 1$ тригер встановлюється в стан $Q = 0$; при переході до $S = 0, R = 0$ тригер зберігає попередній стан виходу $Q = 0$; при $S = 1, R = 0$ тригер встановлюється в стан $Q = 1$; при переході до $S = 0, R = 0$ тригер зберігає попередній стан виходу $Q = 1$.

За результатами експерименту заповніть таблицю істинності і наведіть часові діаграми роботи тригера для всіх можливих комбінацій.

2 Дослідження $\overline{R}\overline{S}$ -тригера з інверсними входами (на елементах І - НЕ). Зберіть схему, зображену на рисунку 4.16.

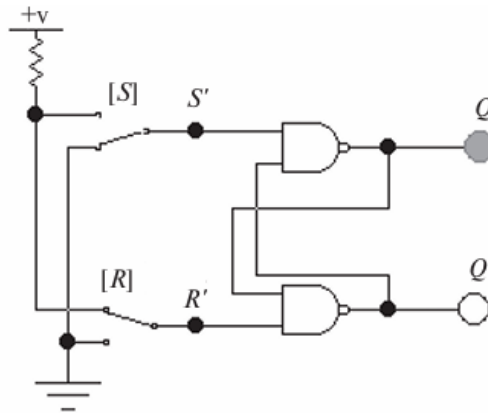


Рисунок 4.16 – $\overline{R}\overline{S}$ -тригер з інверсними входами

Послідовно подавайте на схему такі сигнали:

$$S' = 1, R' = 0;$$

$$S' = 1, R' = 1;$$

$$S' = 0, R' = 1;$$

$$S' = 1, R' = 1.$$

Переконайтеся в тому, що за $S' = 0, R' = 1$ тригер встановлюється в стан, за яким вихід $Q = 1$; під час переходу до $S' = R' = 1$ тригер зберігає попереднє значення виходу $Q = 1$; за $S' = 1, R' = 0$ тригер встановлюється в стан, за яким $Q = 0$; під час переходу до $S' = 1, R' = 1$ попереднє значення виходу $Q = 0$ зберігається.

За результатами експерименту заповніть таблицю істинності і наведіть часові діаграми роботи тригера для всіх можливих комбінацій.

3 Дослідження JK -тригера.

3.1 Зберіть схему, що наведена на рисунку 4.17. Увімкніть схему. Переконайтеся в тому, що: за $R' = 1, S' = 0$ тригер установлюється в 1

($Q = 1, Q' = 0$) незалежно від стану інших входів. За $R' = 0, S' = 1$ тригер встановлюється в 0 ($Q = 0, Q' = 1$) незалежно від стану інших входів. Зробіть висновок, які входи в цього тригера пріоритетні.

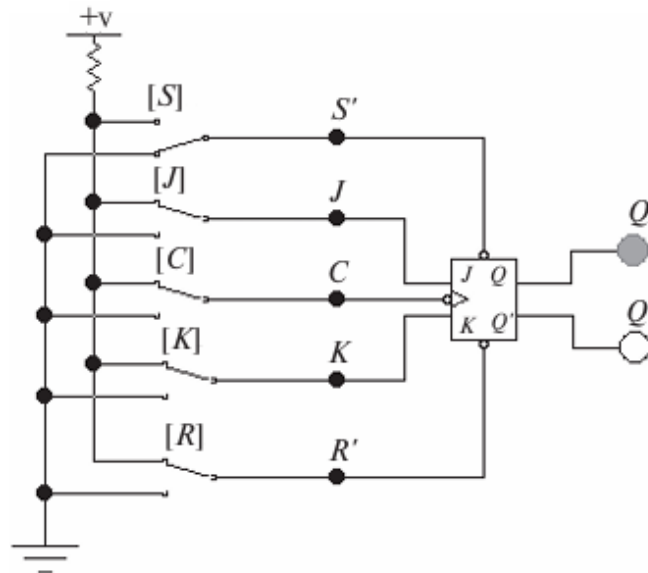


Рисунок 4.17 – JK -тригер

Установіть $S' = R' = 1$. За результатами експерименту заповніть наведену нижче таблицю істинності тригера (таблиця 4.3) для всіх можливих комбінацій Q_n, J, K у разі подавання на вхід C негативних перепадів (переходів ключа C від 1 до 0). Для встановлення початкового стану тригера $Q_n = 1$ використовуйте короткочасне подання сигналу $S' = 0$, а сигналу $R' = 0$ для отримання $Q_n = 0$.

Таблиця 4.3 – Таблиця істинності тригера

Q^n	J	K	C	Q^{n+1}
0	0	0	┐	
0	0	1	┐	
0	1	0	┐	
0	1	1	┐	
1	0	0	┐	
1	0	1	┐	
1	1	0	┐	
1	1	1	┐	

3.2 Зберіть схему за рисунком 4.18 і досліджуйте JK -тригер за допомогою генератора слів з каталогу *Instruments*. Для цього підключіть його до входів тригера, а до виходів – світлодіодні індикатори. Тактовий вхід тригера з'єднайте з виходом синхронізації генератора.

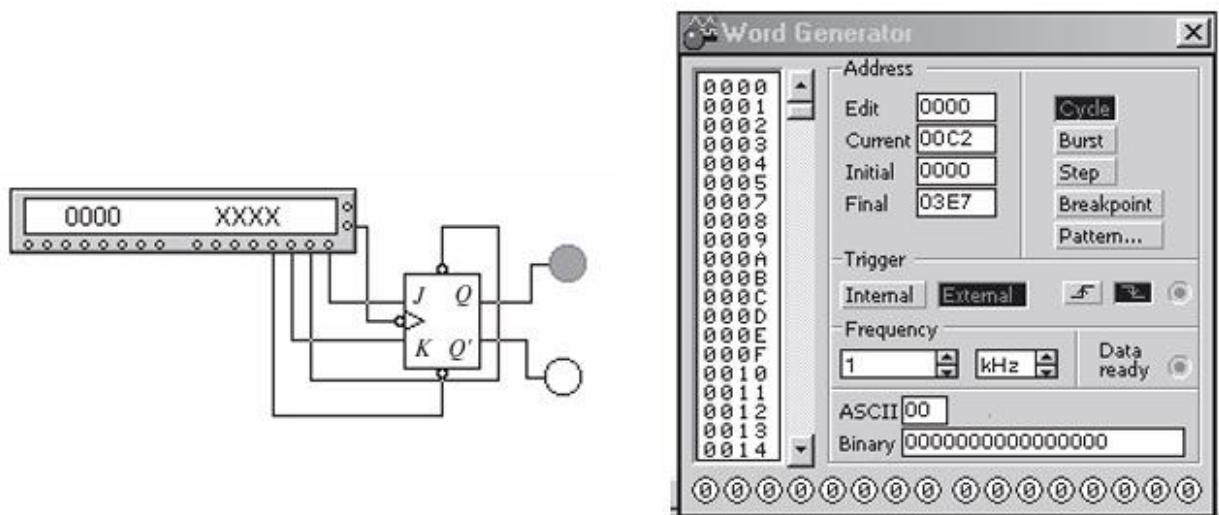


Рисунок 4.18 – Схема для дослідження JK -тригера

Для зняття таблиці істинності за допомогою генератора слів буфер його екрана заповнюється кодовими комбінаціями, починаючи з 0 і далі зі збільшенням на 1 у кожній наступній комірці. Використовується покроковий режим генератора. Складіть таблицю істинності для *JK*-тригера і порівняйте її з даними, отриманими в п. 3.1.

Для попереднього встановлення генератора слів необхідно натиснути кнопку ***Pattern*** (набір установок, зразків). З'явиться меню (рисунок 4.19), у якому зазначено: ***Clear buffer*** – стерти вміст усіх клітинок (вміст буфера екрана); ***Open*** – завантажити кодові комбінації (з файлу з розширенням .dp, якщо він попередньо створений); ***Save*** – записати всі набрані на екрані комбінації до файлу; ***Up counter*** – заповнити буфер екрана кодовими комбінаціями, починаючи з 0 у нульовому осередку і далі з додаванням одиниці в кожному наступному осередку; ***Down counter*** – заповнити буфер екрана кодовими комбінаціями, починаючи з *FFFF* у нульовому осередку і далі зі зменшенням на 1 у кожному наступному осередку; ***Shift right*** – заповнити кожні чотири осередки комбінаціями 1-2-4-8 зі зміщенням їх у наступних чотирьох осередках праворуч; ***Shift left*** – те ж саме, але зі зміщенням ліворуч.

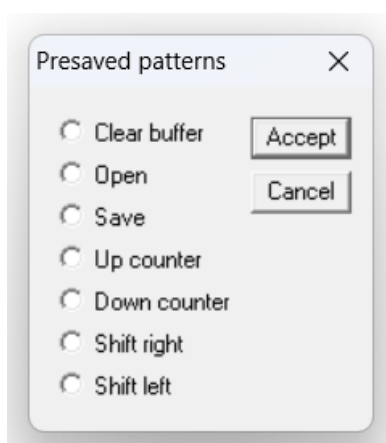


Рисунок 4.19 – Меню кнопки ***Pattern***

3.3 Зберіть схему JK -тригера для отримання діаграми станів (рисунок 4.20) . Результати дослідження занесіть у звіт з лабораторної роботи.

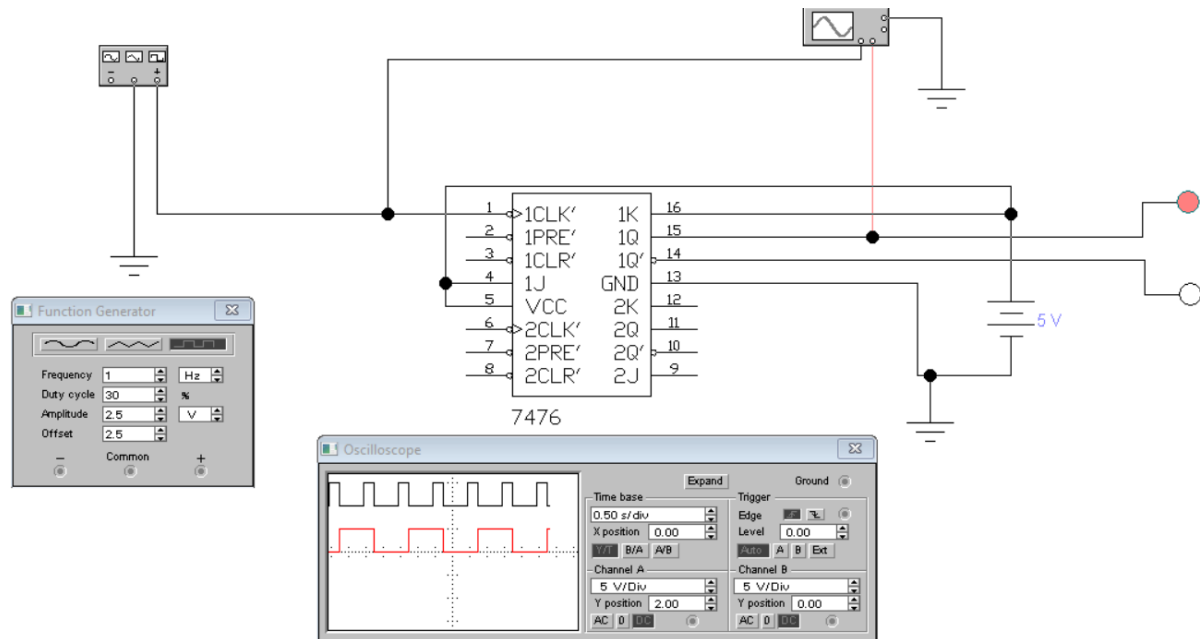


Рисунок 4.20 – Дослідження синхронного JK -тригера – динаміка

3.4 Зберіть схему двоступеневого JK -тригера за рисунком 4.21. Складіть таблицю істинності та наведіть діаграми роботи тригера.

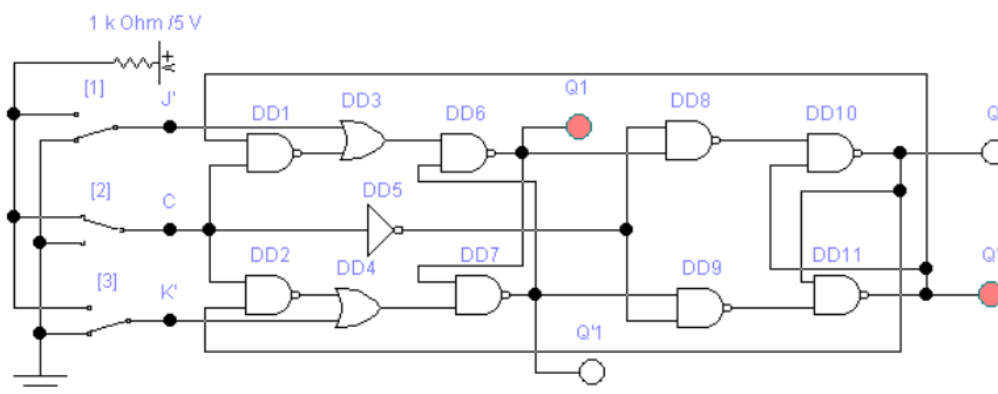


Рисунок 4.21 – Схема двоступеневого JK -тригера

4 Дослідження T -тригера (на основі JK -тригера в лічильному режимі). Зберіть схему за рисунком 4.22. У схемі використовується інвертор, який обирається з каталогу **Logic Gates** натисканням кнопки **Schmitt-Triggered Inverter**.

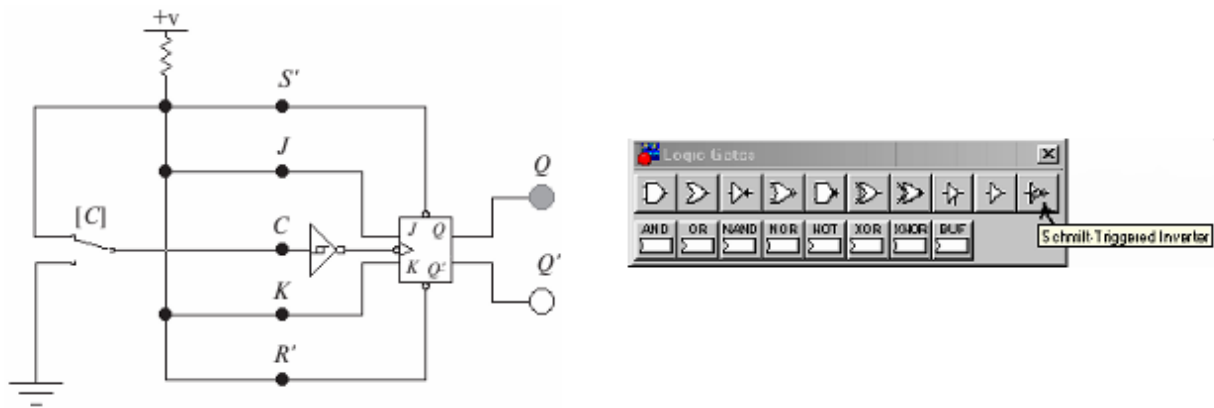


Рисунок 4.22 – JK -тригер у лічильному режимі (T -тригер)

4.1 Увімкніть схему. Змінюючи відповідним ключем стан входу C , заповніть таблицю істинності T -тригера.

4.2 Наведіть діаграми роботи тригера в лічильному режимі ($C(t)$, $Q(t)$).

5 Дослідження D -тригера. Зберіть схему за рисунком 4.23. D -тригер можна знайти в каталозі **Digital**, натиснувши на кнопку **D Flip-Flop**.

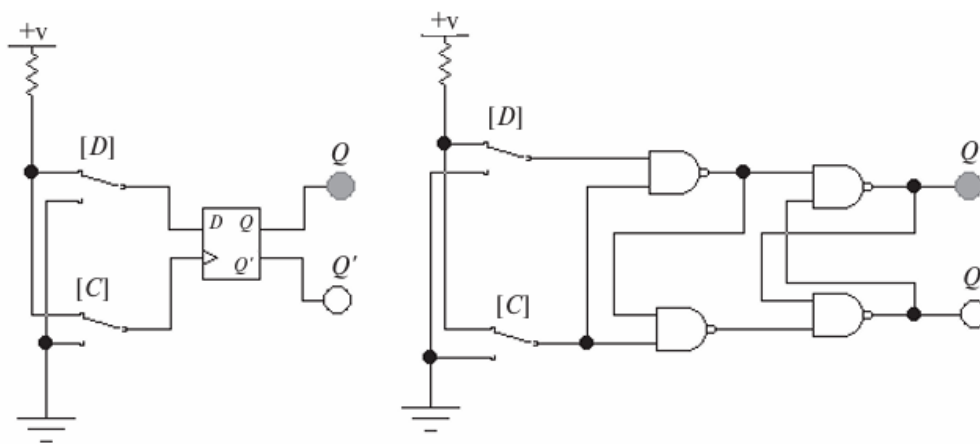


Рисунок 4.23 – D -тригер

5.1 Увімкніть схему. Переконайтеся в тому, що:

при $C = 1$, $D = 0$ тригер встановлюється в 0 ($Q = 0$, $Q' = 1$);

при $C = 1$, $D = 1$ тригер встановлюється в 1 ($Q = 1$, $Q' = 0$).

5.2 Перевірте всі комбінації входів C і D за вихідного стану $Q = 1$ і $Q = 0$. Заповніть таблицю істинності D -тригера.

5.3 Наведіть часові діаграми роботи тригера для всіх можливих комбінацій $Q(t)$, $D(t)$.

4.3 Індивідуальні завдання

Завдання 1. Тригери зі статичним керуванням

Наведіть умовно-графічне позначення тригера, що має входи керування, за варіантом з таблиці 4.4. Побудуйте таблицю станів, реалізуйте за допомогою будь-якого типу базових або універсальних елементів (можна використати будь-яку кількість елементів з будь-якою кількістю входів). За допомогою *Electronics Workbench* переконайтеся, що отримана схема виконує свої функції. Дослідження краще всього проводити, якщо на входи подавати “1” та “0” за допомогою перемикачів, а з виходу отриманої схеми подати сигнали до логічного аналізатора.

Таблиця 4.4 – Вихідні дані до індивідуального завдання 1

Варіант	Параметри			
	Вхід R	Вхід S	Вхід C	Вхід D
1	і	п	-	-
2	п	і	-	-
3	і	і	і	-
4	і	п	і	-
5	п	і	і	-
6	п	п	і	-
7	і	і	п	-
8	п	і	п	п
9	і	п	п	п
10	і	і	п	п
11	п	п	і	п
12	п	і	і	п
13	і	п	і	п
14	і	і	і	п
15	п	п	п	п
Примітка – R – вхід скидання; S – вхід встановлення; C – вхід синхронізації; D – інформаційний вхід; “і” – інверсний, “п” – прямий, “-” – відсутній				

Завдання 2. Тригери з динамічним керуванням

Наведіть умовно-графічне позначення тригера, що має входи керування, за варіантом з таблиці 4.5. Побудуйте таблицю станів, реалізуйте за допомогою будь-якого типу базових або універсальних елементів (можна використати будь-яку кількість елементів з будь-якою кількістю входів). За допомогою *Electronics Workbench* переконайтеся, що отримана схема виконує свої функції. Дослідження краще всього

проводити, якщо на входи подавати “1” та “0” за допомогою перемикачів, а з виходу отриманої схеми подати сигнали до логічного аналізатора.

Таблиця 4.5 – Вихідні дані до індивідуального завдання 2

Варіант	Параметри				
	Вхід R (асинхронний)	Вхід C	Входи R і S (синхронні)	Вхід D	Входи J і K
1	п	ф	-	-	п
2	п	с	-	-	п
3	і	ф	-	-	п
4	і	ф	-	-	п
5	п	ф	-	п	-
6	п	с	-	п	-
7	і	ф	-	п	-
8	і	с	-	п	-
9	-	ф	п	-	-
10	-	с	п	-	-
11	п	ф	-	-	п
12	і	с	-	п	-
13	п	с	-	п	-
14	і	ф	-	-	п
15	п	ф	-	п	-

Примітка – R – вхід скидання; S – вхід скидання; C – вхід синхронізації; D – інформаційний вхід; J і K – входи дозволу переходів $0 \rightarrow 1$ і $1 \rightarrow 0$, відповідно; "і" – інверсний, "п" – прямий, "-" – відсутній, "ф" – прямий динамічний, "с" – інверсний динамічний

4.4 Зміст звіту

Звіт з лабораторної роботи має містити: тему, мету, комбінаційні схеми, що підлягають дослідженню, з вказаними параметрами радіоелементів відповідно до варіанта; дані, які отримано експериментальним шляхом (таблиці, скрини схем і т. п.); висновки з виконаної роботи.

Контрольні питання і завдання

1 Чи можливо в RS -тригерах поміняти місцями входи R - і S -? Проаналізуйте мікросхему з RS -тригерами ($KP1533TP2$ ($2S279$)); поясніть, що зміниться у роботі мікросхеми.

2 На рисунку 4.24 приведено часові діаграми сигналів, що подаються на входи S - і R - RS -тригера, виготовленого на ЛЕ 2АБО - НІ. Побудуйте часову діаграму сигналу на прямому виході тригера.

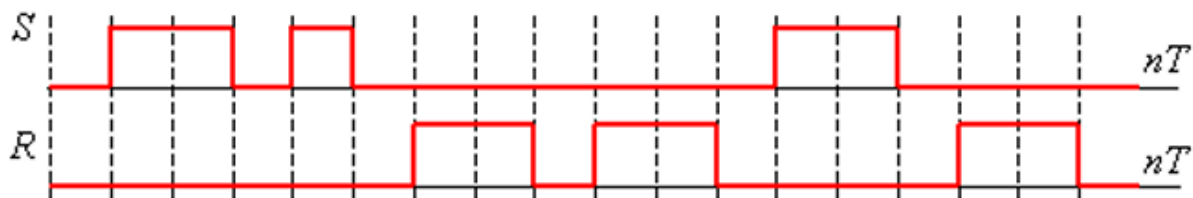


Рисунок 4.24 – Часові діаграми сигналів

3 Розробіть синхронний двовходовий тригер, що функціонує відповідно до таблиці 4.6, на базі універсального JK -тригера.

Таблиця 4.6 – Таблиця істинності синхронного двовходового тригера

X_1	X_0	Q_{n+1}
0	0	0
0	1	Q_n
1	0	$\overline{Q}$
1	1	0

СПИСОК ЛІТЕРАТУРИ

- 1 Сосков А. Г., Колонтаєвський Ю. П. Промислова електроніка : Теорія і практикум: підручник / за ред. А. Г. Соскова. Київ : Каравела, 2013. 496 с.
- 2 Побєдаш К. К., Святненко В. А. Інтерфейс програмного комплексу Electronics Workbench: навч. посіб. Київ: НТУУ «КПІ», 2014. 57 с.
- 3 Цифрова схемотехніка електронних систем: підручник / В. І. Бойко, В. Я. Жуйков, А. А. Зорі та ін. Вид. 3-тє допов. і перероб. Київ: Вища шк., 2010. 426 с.
- 4 Рябенський В. М., Жуйков В. Я., Гулий В. Д. Цифрова схемотехніка: навч. посіб. Львів: Новий світ-2000, 2009. 736 с.
- 5 Бабич М. П. Жуков І. А. Комп'ютерна схемотехніка : навч. посіб. Київ : МК-Прес, 2004. 412 с.
- 6 Петух А. М., Обідник Д. Т., Обідник М. Д. Цифрова схемотехніка: навч. посіб. Вінниця : ВНТУ, 2015. 120 с.
- 7 Основи технічної електроніки. У 2 кн. Кн. 2. Схемотехніка : підручник / В. І. Бойко, А. М. Гуржій, В. Я. Жуков та ін. Київ : Вища шк., 2007. 510 с.
- 8 Матвієнко М. П. Комп'ютерна логіка : навч. посіб. Київ : Вид-во Ліра-К, 2012. 288 с.
- 9 Бойко В. І., Багрій В. В. Цифрова схемотехніка : навч. посіб. Київ : ІЗМН, 2001. 228 с.
- 10 Щерба А. А., Побєдаш К. К., Святненко В. А. Електроніка та мікросхемотехніка: навч. посіб. Київ : НТТУ «КПІ». 360 с. URL : <http://ela.kpi.ua/handle/123456789/3569>.

МЕТОДИЧНІ ВКАЗІВКИ
до практичних і лабораторних робіт

із дисципліни
«ПРИСТРОЇ ТЕЛЕКОМУНІКАЦІЙНИХ СИСТЕМ»

Частина 1
СИНТЕЗ ТА МОДЕЛЮВАННЯ КОМБІНАЦІЙНИХ СХЕМ
ТА СХЕМ З ТРИГЕРАМИ РІЗНИХ ТИПІВ

Відповідальний за випуск Ковтун І. В.

Редактор Ібрагімова Н. В.

Підписано до друку 09.07.2025 р.
Умовн. друк. арк. 4,25. Тираж . Замовлення № .
Видавець та виготовлювач Український державний університет залізничного
транспорту,
61050, Харків-50, майдан Фейєрбаха, 7.
Свідоцтво суб'єкта видавничої справи ДК № 6100 від 21.03.2018