

МЕХАНІЧНИЙ ФАКУЛЬТЕТ

Кафедра автоматизованих систем електричного транспорту

МЕТОДИЧНІ ВКАЗІВКИ

**до виконання курсової роботи
з дисципліни**

***«ПРОБЛЕМИ ТА ПЕРСПЕКТИВИ ЗАСТОСУВАННЯ
МІКРОПРОЦЕСОРНИХ СИСТЕМ КЕРУВАННЯ ЕРС»***

Харків - 2014

Методичні вказівки розглянуто та рекомендовано до друку на засіданні кафедри автоматизованих систем електричного транспорту 7 травня 2012 р., протокол № 8.

Рекомендуються для магістрів спеціальності 8.05070203 “Електричний транспорт” денної форми навчання.

Укладачі:

проф. Я.В. Щербак,
асист. В.П. Нерубацький

Рецензент

проф. Ю.М. Кутовий (НТУ «ХП»)

МЕТОДИЧНІ ВКАЗІВКИ

до виконання курсової роботи
з дисципліни

*«ПРОБЛЕМИ ТА ПЕРСПЕКТИВИ ЗАСТОСУВАННЯ
МІКРОПРОЦЕСОРНИХ СИСТЕМ КЕРУВАННЯ ЕРС»*

Відповідальний за випуск Нерубацький В.П.

Редактор Буранова Н.В.

Підписано до друку 23.05.12 р.

Формат паперу 60x84 1/16. Папір писальний.

Умовн.-друк.арк. 2,0. Тираж 15. Замовлення №

Видавець та виготовлювач Українська державна академія залізничного транспорту,
61050, Харків-50, майдан Фейербаха, 7.
Свідоцтво суб'єкта видавничої справи ДК № 2874 від 12.06.2007 р.

УКРАЇНСЬКА ДЕРЖАВНА АКАДЕМІЯ
ЗАЛІЗНИЧНОГО ТРАНСПОРТУ

МЕХАНІЧНИЙ ФАКУЛЬТЕТ

Кафедра “Автоматизовані системи електричного транспорту”

МЕТОДИЧНІ ВКАЗІВКИ

до виконання курсової роботи

з дисципліни

*“ПРОБЛЕМИ ТА ПЕРСПЕКТИВИ ЗАСТОСУВАННЯ
МІКРОПРОЦЕСОРНИХ СИСТЕМ КЕРУВАННЯ ЕРС”*

Харків 2012

Методичні вказівки розглянуто та рекомендовано до друку на засіданні кафедри автоматизованих систем електричного транспорту 7 травня 2012 р., протокол № 8.

Рекомендуються для магістрів спеціальності 8.05070203 “Електричний транспорт” денної форми навчання.

Укладачі:

проф. Я.В. Щербак,
асист. В.П. Нерубацький

Рецензент

проф. Ю.М. Кутовий (НТУ «ХП»)

ЗМІСТ

Вступ.....	4
1 Вимоги до оформлення розрахунково-пояснювальної записки.....	4
2 Рекомендації щодо розроблення мікроконтролера.....	8
2.1 Структурна організація мікропроцесорних систем.....	8
2.2 Типова структура мікропроцесорних систем.....	10
2.3 Розподіл адресного простору пам'яті та вузлів вводу-виводу.....	16
2.4 Основні принципи формування імпульсів керування із заданими параметрами.....	21
2.5 Формування часових затримок.....	26
2.6 Функціональне спряження вузлів контролера.....	29
2.7 Організація переривань.....	35
2.8 Програмне забезпечення.....	37
2.9 Електричне спряження вузлів контролера.....	38
Список літератури.....	41
Додаток А Завдання до курсової роботи «Розробка керуючого контролера».....	42
Додаток Б Вихідні дані до виконання курсової роботи.....	44

ВСТУП

Дані методичні вказівки призначені для магістрів кафедри «Автоматизовані системи електричного транспорту». Завдання на курсове проектування видає керівник курсової роботи зі складу викладачів кафедри.

Метою курсового проектування є розроблення мікропроцесорної системи керування (мікроконтролера) гіпотетичним технологічним об'єктом; отримання і поглиблення теоретичних знань і практичних навиків побудови і програмування мікропроцесорних систем керування, проектування пристроїв вводу-виводу.

Проектування здійснюється відповідно до вихідних даних, наведених у додатках А і Б, в яких для кожного варіанта вказані компоненти мікроконтролера, що визначають структури апаратної частини і програмне забезпечення, що розробляється.

Проектування мікроконтролера здійснюється на базі мікропроцесорного комплекту БІС серії КР580.

В результаті виконання курсової роботи студенти повинні отримати чітке уявлення про взаємодію основних вузлів і блоків мікроконтролера в процесі обробки інформації, навчитися використовувати методи і засоби проектування мікропроцесорної системи керування.

За підсумками виконання курсової роботи складається пояснювальна записка.

1 ВИМОГИ ДО ОФОРМЛЕННЯ РОЗРАХУНКОВО-ПОЯСНЮВАЛЬНОЇ ЗАПИСКИ

Пояснювальна записка має містити:

- бланк завдання;
- титульний аркуш;
- зміст;
- перелік умовних позначень (при необхідності);
- вступ;
- основну частину;

- висновки;
- список використаних джерел;
- додатки (при необхідності).

Вимоги до змісту пояснювальної записки.

Титульний аркуш пояснювальної записки містить:

- назву навчального закладу і кафедри, де була виконана курсова робота;
- найменування курсової роботи;
- шифр і найменування спеціальності;
- прізвище, ім'я, по батькові студента;
- науковий ступінь, вчене звання, прізвище і ініціали наукового керівника;
- рік виконання курсової роботи.

Зміст включає найменування і номери початкових сторінок всіх розділів і пунктів, а також вступ, висновки, список використаних джерел і додатків.

Перелік умовних позначень, символів, одиниць, скорочень і термінів надається у вигляді окремого списку, якщо в пояснювальній записці використана специфічна термінологія або ж вживаються маловідомі скорочення, нові символи, позначення тощо.

Перелік необхідно оформляти двома колонками, в яких зліва за абеткою подаються скорочення або символ, справа – їх детальна розшифровка або пояснення.

Якщо в пояснювальній записці спеціальні терміни, скорочення, символи, позначення тощо повторюються менше трьох разів, перелік не роблять, але їх розшифровку обов'язково наводять у тексті при першому згадуванні.

Вступ – частина пояснювальної записки, де необхідно показати актуальність використання мікропроцесорів (МП) і мікроконтролерів на їх основі для управління технологічними об'єктами, визначити основні концепції побудови заданої мікропроцесорної системи управління (МПСУ).

Основна частина складається з розділів, підрозділів, пунктів. Кожен розділ слід починати з нової сторінки. Основний текст розділу може починатися передмовою з коротким описом обґрунтування вибраного елемента схеми, що розробляється.

У розділах *основної частини* подають:

- структурну схему МПСУ відповідно до завдання;
- вибір вузлів мікропроцесорного контролера з описом їх функціонального призначення, електричних і тимчасових параметрів; розшифровкою виводів мікросхем;
- розподіл адресного простору пам'яті і пристроїв вводу/виводу (карта пам'яті);
- розрахунок послідовності керуючих імпульсів і організацію їх виводу за допомогою програмованого паралельного інтерфейсу (ППІ);
- розробку програмного забезпечення, включаючи ініціалізацію програмованих вузлів мікроконтролера відповідно до розробленого алгоритму роботи програми;
- розрахунок частоти зміни керуючих імпульсів і реалізацію генератора імпульсів запитів на переривання з розрахованою частотою для програмованого таймера (ПТ);
- організацію за допомогою програмованого контролера переривань (ПКП) зміни інформації на виводах ППІ з частотою, що задається імпульсами запитів з ПТ на переривання;
- розрахунок споживаної потужності всієї мікропроцесорної системи.

Вибір структурної схеми мікроконтролера слід здійснювати з урахуванням індивідуального завдання. У цьому розділі необхідно навести рисунок структурної схеми і дати короткий опис принципу її роботи.

Розподіл адресного простору пам'яті і пристроїв вводу-виводу проводиться відповідно до індивідуального завдання. Необхідно детально пояснити, як здійснюється звернення до простору пам'яті і пристроїв вводу/виводу.

Розроблення принципової схеми мікро контролера (МК) має виконуватися за принципом – простота, невисока вартість, надійність. У цьому розділі слід виконати необхідні розрахунки і здійснити вибір елементів як обов'язкових, так і введених у структуру відповідно до індивідуального завдання (наприклад, наявність програмованого контролера переривань). З'єднання БІС мікропроцесорного комплексу має здійснюватися стандартним способом, інакше необхідно дати докладне обґрунтування ухваленого рішення. Вибір вузлів МК дається з описом їх функціонального призначення і розшифровкою виводів

мікросхем. Повна принципова схема виконується на креслярському аркуші формату А3. На цьому ж кресленні наводиться таблиця підключень напруги живлення до виводів інтегральних схем. Відповідно до принципової схеми складається перелік елементів.

У розділі *Ініціалізація програмованих БІС*, використовуючи рекомендовану літературу, слід вибрати режими роботи БІС і скласти керуючі слова.

У розділі *Формування імпульсів управління із заданими параметрами* необхідно провести розроблення алгоритму отримання заданої послідовності імпульсів, розрахунок їх тимчасових і частотних параметрів, здійснити їх реалізацію за допомогою ПТ і ПКП. У цьому ж розділі мають бути виконані розрахунки, пов'язані з формуванням тимчасових інтервалів з використанням інтегрального таймера (лічильника), і наведений алгоритм їх реалізації. Оскільки в структурі МК наявний програмований контролер переривань, то слід дати пояснення, як обробляється запит на переривання і навести підпрограму обслуговування переривання.

Розроблення програмного забезпечення слід почати зі складання схеми алгоритму. Схема подається і описується безпосередньо в тексті пояснювальної записки. Розділ має бути завершений складанням керуючої програми, яка поміщається у вигляді додатка в кінці пояснювальної записки.

У розділі *Розрахунок споживаної потужності* проводиться розрахунок споживаної потужності мікропроцесорної системи.

У *висновках* подаються основні результати курсової роботи з обов'язковою вказівкою отриманих якісних і кількісних показників.

Список використаних джерел складається в порядку згадування джерел у тексті, використовуючи крізну нумерацію. Він включає всі джерела інформації, розглянуті при виконанні курсової роботи, включаючи спеціальну, довідкову і нормативну літературу.

У *додатки* доцільно включати допоміжний матеріал, який необхідний для повноти сприйняття пояснювальної записки. Наприклад, тексти програм для МП, розроблені в курсовій роботі; перелік елементів до принципової електричної схеми МК.

2 РЕКОМЕНДАЦІЇ ЩОДО РОЗРОБЛЕННЯ МІКРОКОНТРОЛЕРА

2.1 Структурна організація мікропроцесорних систем

Використання мікропроцесорних пристроїв для реалізації систем управління різними об'єктами дозволяє значно розширити їх функціональні можливості, гнучко змінювати алгоритм управління відповідно до вимог різних технологічних процесів, а також дозволяє проводити тестування і діагностику параметрів об'єкта управління (ОУ) або регулювання (ОР).

Проте використання мікропроцесора в системах управління накладає на МП певні обмеження, пов'язані з роботою в так званому «реальному масштабі часу», тобто при розробленні мікропроцесорної системи управління (МПСУ) і алгоритму управління необхідно враховувати час, необхідний для розрахунку параметрів керуючого діяння і видачі сигналів управління на керований МПСУ об'єкт.

Важливим питанням є і питання визначення достатньої точності розрахунку керуючого діяння, кількості і параметрів сигналів зворотного зв'язку, необхідних для реалізації функцій управління.

Все це ставить певні вимоги як до структури МПСУ, її функціональних модулів, так і структури алгоритмів управління, що розробляються.

На рисунку 2.1 подані структурні схеми систем автоматичного регулювання (САР). На рисунку 2.1, *а* САР включає контур регулювання для програмної реалізації послідовного коректуючого пристрою. У такій системі сигнал завдання U_3 і система управління (СУ) виконавчим механізмом (ВМ) є аналоговими, у зв'язку з чим на вході МП розташований аналого-цифровий перетворювач (АЦП), на виході – цифро-аналоговий перетворювач (ЦАП). Сигнал зворотного зв'язку надходить від об'єкта регулювання на вхід аналогового пристрою порівняння.

У САР (рисунку 2.1, *б*) МП виконує функції пристрою порівняння і забезпечує програмну реалізацію послідовного

коректуючого пристрою, тобто виконує функцію регулятора. Сигнал завдання Y_3 в такій САР цифровий, а система управління, як і раніше, – аналогова, що вимагає перетворення керуючого цифрового коду МП у керуючий аналоговий сигнал.

САР (рисунок 2.1, а, б) є аналого-цифровими.

Схема САР (рисунок 2.1, в) є повністю цифровою і має найкращі характеристики, оскільки перетворення аналогового сигналу в цифровий код здійснюється лише в ланцюзі зворотного зв'язку, а вся подальша обробка інформації відбувається в цифровому вигляді.

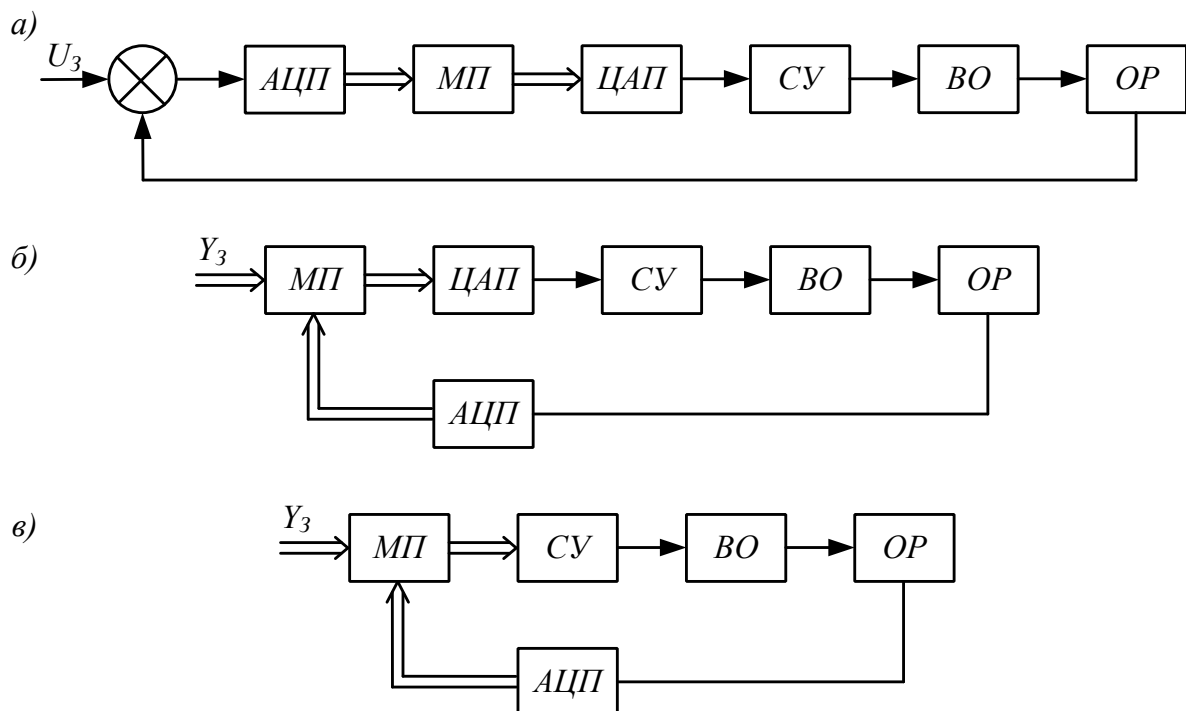


Рисунок 2.1 – Структурні схеми САР

У повністю цифрових САР прийнято виділяти такі складові частини:

- регулятори, що формують цифровий код у функції сигналу завдання і сигналів зворотних зв'язків;
- систему управління, що перетворює цифровий код у керуючі імпульси заданої тривалості і синхронізовані із заданими моментами часу;
- виконавчий орган, що перетворює відповідно до керуючих імпульсів потік зовнішньої енергії в енергію з параметрами, необхідними для об'єкта управління.

Окрім вказаних складових частин, цифрова САР може бути забезпечена системою захисту і діагностики.

Залежно від рівня зв'язку МП з виконавчим органом цифрові САР (ЦСАР) можуть бути розділені на три типи структурної організації.

До першого типу структурної організації належать такі системи, в яких МП формує керуючі сигнали залежно від сигналів завдання Y_3 , датчиків зворотного зв'язку (ДЗС) тощо. У таких системах МП пов'язаний з цифровою системою імпульсно-фазового управління (СІФУ), що виконує роль розподільника імпульсів тощо.

До другого типу структурної організації ЦСАР належать системи, в яких МП виконує, окрім основних функцій, наприклад, регулювання струму або швидкості, і функції СІФУ, причому на програмні засоби покладена лише обробка логічної інформації СІФУ: аналіз сигналів ДЗС, виконання алгоритмічного розподілу, управління і синхронізації СІФУ.

До третього типу структурної організації ЦСАР належать системи, в яких МП реалізує всі функції СІФУ, а у вільний від цього завдання час використовується для виконання алгоритмів регулювання. Відмітною особливістю систем третього типу є те, що формування тимчасових затримок імпульсів управління може здійснюватися як програмним, так і апаратним способами, а їх алгоритмічний розподіл між керуючими входами системи – відповідно до інформації, що надходить від датчиків зворотного зв'язку.

2.2 Типова структура мікропроцесорних систем

Мікропроцесорна система (МПС) – обчислювальна, контрольно-вимірювальна або керуюча система, в якій основним пристроєм обробки інформації є МП.

Будь-яка система управління, до складу якої входить МПС, у процесі роботи виконує ряд узагальнених функцій, здійснюваних для досягнення цілей, що закладаються при проектуванні. До таких функцій належать:

- збір інформації про керований об'єкт (процес), збурювальні діяння, стан зовнішнього середовища і апаратури, що входить до складу системи;
- перетворення отриманої інформації до вигляду, зручного для введення в МП;
- передача інформації по різних каналах зв'язку до МП від датчиків, що вимірюють параметри процесів і станів, і від МП до споживачів інформації;
- обчислення керуючих діянь за заданими алгоритмами, реалізованими у вигляді прикладного програмного забезпечення.

Відповідно до вказаних функцій, може бути подана і типова структура МПС (рисунок 2.2), яка складається з об'єкта управління, МП і апаратури їх взаємного з'єднання. До складу МП входять постійний і оперативний запам'ятовуючі пристрої (ПЗП і ОЗП), ядро МП, яке об'єднує арифметично-логічний пристрій з регістрами і службовими блоками, порти вводу-виводу, блок стандартних інтерфейсів (БСІ), блок таймерів-лічильників (Т).

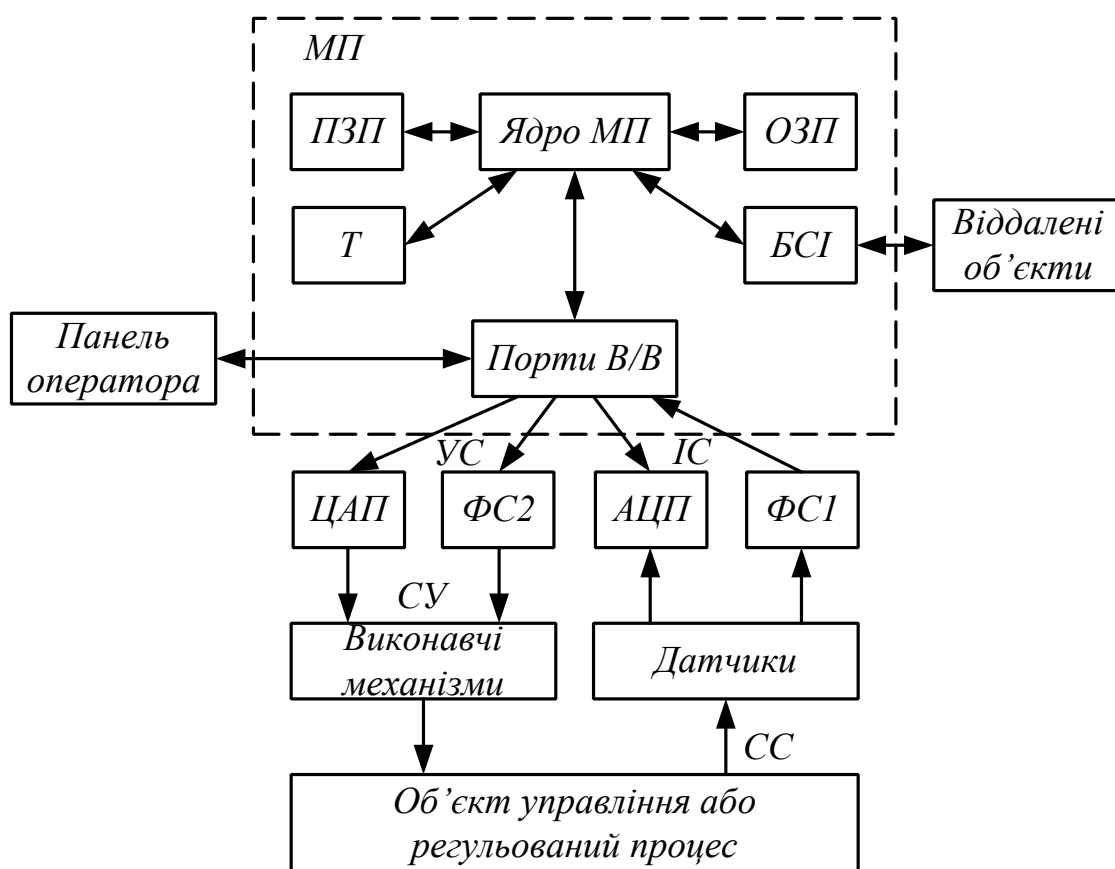


Рисунок 2.2 – Типова структура МПС

Різноманітні за природою сигнали стану об'єкта управління (СС) надходять на датчики, які перетворюють їх на електричні сигнали. Аналогові сигнали перетворюються АЦП до цифрового вигляду, імпульсні сигнали надходять на схеми формувачів сигналів (ФС), які виконують функції формування необхідних рівнів двійкових сигналів (найчастіше TTL-рівня), гальванічної розв'язки і ін. Сигнали з виходів АЦП і ФС є інформаційними словами (ІС).

МП шляхом періодичного опитування інформаційних слів генерує згідно з алгоритмом управління послідовність керуючих слів (КС). МП з необхідною періодичністю оновлює керуючі слова на своїх вихідних портах. Деяка частина керуючого слова інтерпретується як сукупність прямих двійкових сигналів управління (СУ), які через схеми формувачів сигналів (підсилювачі потужності, реле, оптрони тощо) надходять на виконавчі механізми. Інша частина керуючого слова являє собою двійкові коди, які через ЦАП впливають на виконавчі механізми аналогового типу. Як правило, до складу МПС входить панель оператора, на якій розташовані пристрої введення інформації і елементи її відображення. З віддаленими об'єктами, до яких належать аналогічні та керуючі ЕОМ, МПС спілкується за допомогою стандартних інтерфейсів (RS232, I2C і ін.), які апаратно підтримуються БСІ. Тимчасові інтервали формуються апаратними таймерами, які дозволяють не займати ресурси ядра МК. ЦАП, АЦП і деякі ФС також можуть входити до складу МП.

Узагальнена структурна схема МПС показана на рисунку 2.3.

До складу МПС входять:

- центральний процесор (ЦП);
- ПЗП;
- ОЗП;
- система переривань;
- таймер;
- пристрої вводу-виводу (ПВВ).

ПВВ приєднані до системної шини через інтерфейси вводу-виводу. ПЗП і ОЗП складають блок пам'яті, який призначений для зберігання інформації у вигляді двійкових чисел: ПЗП – для

зберігання програм управління, таблиць; ОЗП – для зберігання проміжних обчислень.

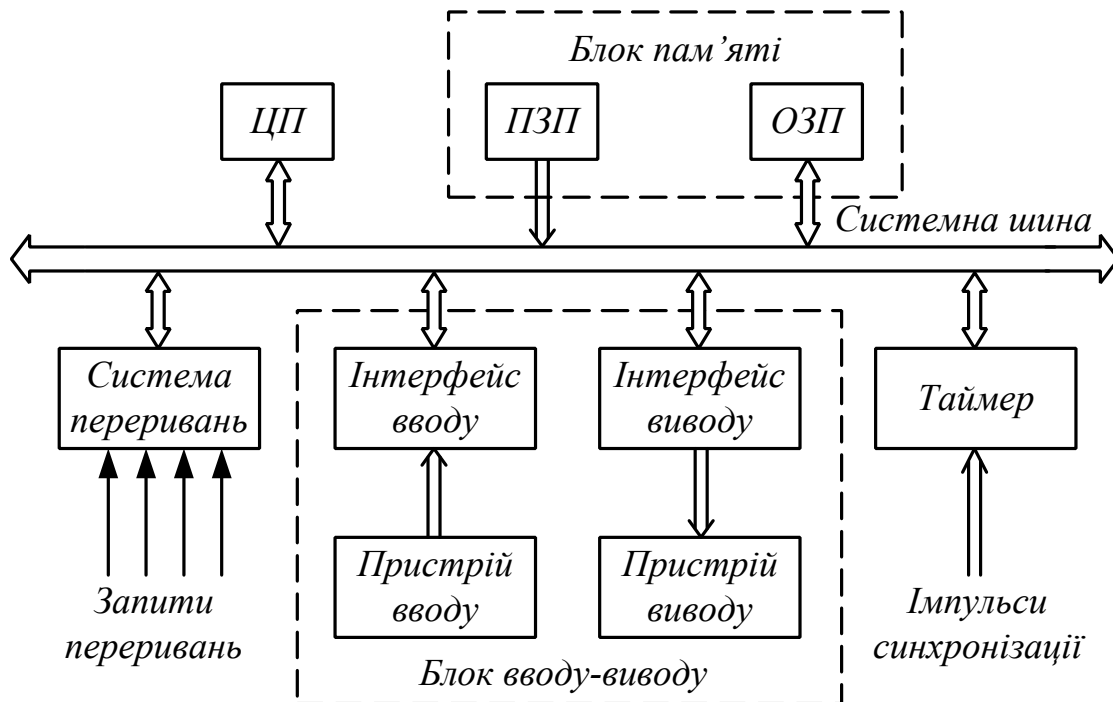


Рисунок 2.3 – Узагальнена структурна схема МПС

Модуль ЦП здійснює обробку даних і управляє всіма іншими модулями системи. Він вибирає коди команд з пам'яті, дешифрує їх і виконує. Протягом часу виконання команди – командного циклу, ЦП виконує такі дії:

- виставляє адресу команди на шину адреси (ША);
- отримує код команди з пам'яті і дешифрує його;
- обчислює адресу операнда і зчитує дані;
- виконує операцію, визначену командою;
- приймає зовнішні керуючі сигнали (наприклад, запити переривань);
- генерує сигнали стану і управління, необхідні для роботи пам'яті і ПВВ.

Існує три способи управління обміном даними:

1 Програмний обмін. Розрізняють простий програмний обмін і програмний обмін по стробу готовності. При простому програмному обміні вважається, що зовнішній пристрій ПВВ у будь-який момент часу готовий до обміну командами IN і OUT. По програмному обміну по стробу готовності ПВВ оповіщає про

свою готовність до обміну сигналом – стробом. МП може ініціювати початок роботи зовнішнього пристрою, а потім опитує його строб готовності для початку циклу обміну даними.

Функціональна схема обміну по стробу готовності показана на рисунку 2.4. Склад схеми: пристрій вводу, сполучений з портом вводу; пристрій виводу, сполучений з портом виводу; порт управління для збереження сигналів готовності пристроїв вводу-виводу. Пристрій вводу має вісім інформаційних вихідних ліній і одну вихідну лінію строба супроводу даних. Поява цього строба сигналізує про те, що дані на інформаційних лініях дійсні (коректні). Пристрій виводу має вісім інформаційних вхідних ліній і одну вихідну лінію строба підтвердження прийому даних. Поява цього строба сигналізує про те, що дані, прийняті пристроєм і МП, можуть передавати нову порцію даних. Порт управління зберігає інформацію про строби від двох пристроїв.

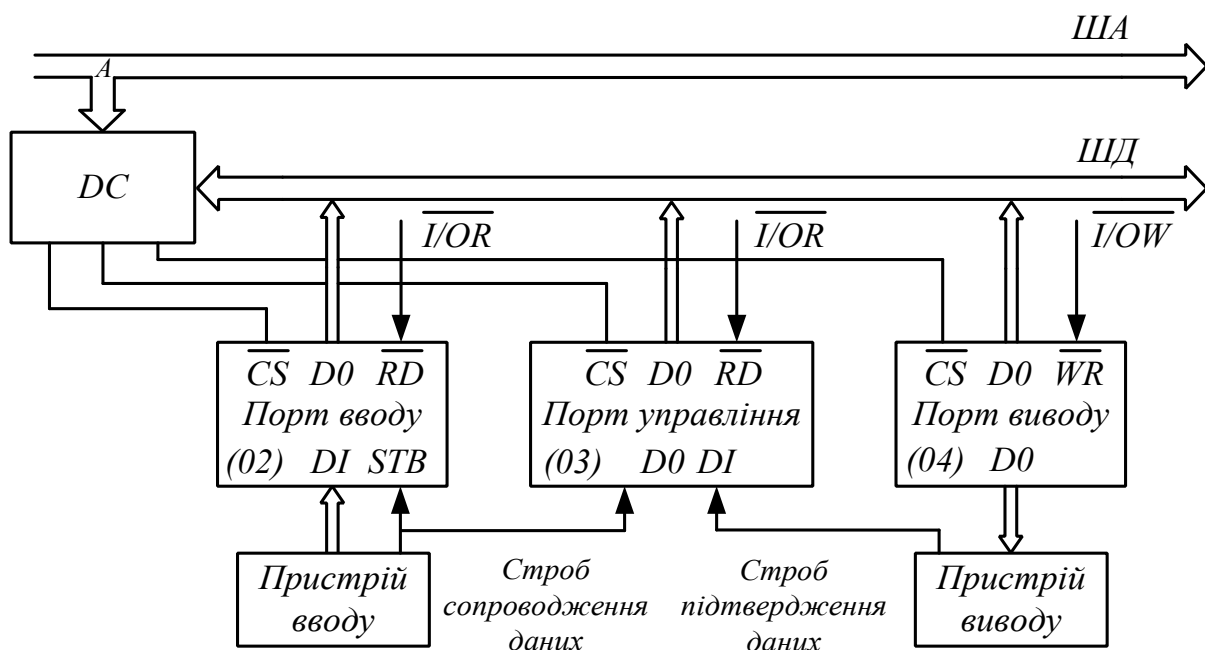


Рисунок 2.4 – Схема вводу-виводу даних по стробу готовності

Недоліки програмного обміну по стробу готовності полягають у тому, що даний спосіб обміну не дозволяє ПВВ ініціювати обмін. Перевагою програмного обміну є простота реалізації, а також відсутність додаткових апаратних пристроїв.

Програмний обмін використовується для обміну з ПВВ, продуктивність яких менша, ніж продуктивність МП.

2 *Обмін по перериванню.* Ініціюється ПБВ і здійснюється керуванням МП (рисунок 2.5). В цьому випадку сигнал готовності до обміну використовується як запит на переривання і надходить до програмованого контролера переривання (ПКП). Ввід або вивід здійснюється по підпрограмі обробки запиту переривання.

Обмін по перериванню має перевагу в порівнянні з програмним обміном, оскільки не вимагає часу для опитування стану готовності ПБВ до обміну.

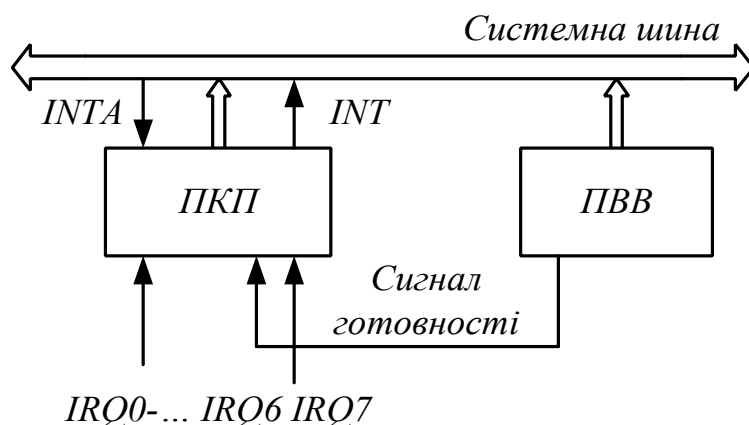


Рисунок 2.5 – Схема обміну по перериванню

3 *Обмін у режимі прямого доступу до пам'яті.* Здійснюється під керуванням контролера прямого доступу в пам'ять (КПДП) без участі МП (рисунок 2.6). При необхідності обміну між ПБВ і пам'яттю не потрібне пересилання даних через МП. Дані за допомогою КПДП пересилаються безпосередньо з ПБВ у пам'ять або навпаки.

Прямий доступ до пам'яті при виконанні операцій вводу-виводу дозволяє значно збільшити швидкість передачі даних і підвищити ефективність використання пристроїв МПС.

Теоретично обмін за допомогою прямого доступу до пам'яті може забезпечити вищу швидкість передачі інформації, ніж програмний обмін, оскільки процесор передає дані повільніше, ніж спеціалізований КПДП. Проте на практиці ця перевага реалізується далеко не завжди. Швидкість обміну в режимі ПДП зазвичай обмежена можливостями магістралі. Тому режим ПДП застосовується рідко.

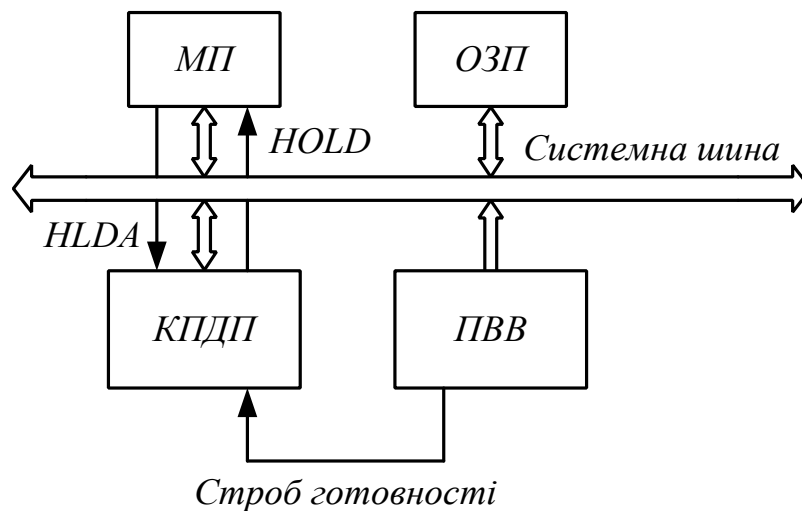


Рисунок 2.6 – Схема в режимі прямого доступу до пам'яті

2.3 Розподіл адресного простору пам'яті та вузлів вводу-виводу

Найважливішим завданням у курсовій роботі є розподіл адрес пам'яті і ПВВ.

Сукупність адрес, які можуть бути сформовані МП, утворює *адресний простір*. Адреси пам'яті можуть займати весь адресний простір або його частину. Свої адреси мають і зовнішні пристрої. Процесор при обміні даними завжди повинен вибрати тільки одну з комірок пам'яті або один ПВВ.

Адресація пам'яті і ПВВ може здійснюватися двома способами:

1 Роздільна адресація.

Поле адрес пам'яті і адрес ПВВ охоплює простір, рівний інтервалу відповідно 0000_H-FFFF_H і 00_H-FF_H .

Пам'ять і пристрої вводу-виводу при цьому розділяються сигналами управління пам'яттю \overline{MEMR} , \overline{MEMW} і управління ПВВ – $\overline{I/O\overline{R}}$, $\overline{I/O\overline{W}}$ (рисунок 2.7).

Ці сигнали формуються системним контролером і логічною схемою (дешифратором) при виконанні команд звернення до пам'яті і ПВВ.

МП використовує команди $IN <addr8>$ або $OUT <addr8>$ для передачі даних за допомогою портів вводу-виводу. Оскільки адреса пристрою указується в одному байті, то за допомогою цих

команд МП може обмінюватися інформацією не більше ніж з 256 ПБВ.

Звернення і передача даних МП до пам'яті здійснюється за допомогою команд прямої або непрямої адресації (*LDA <addr>*, *STA <addr>*, *LXI H <addr>*).

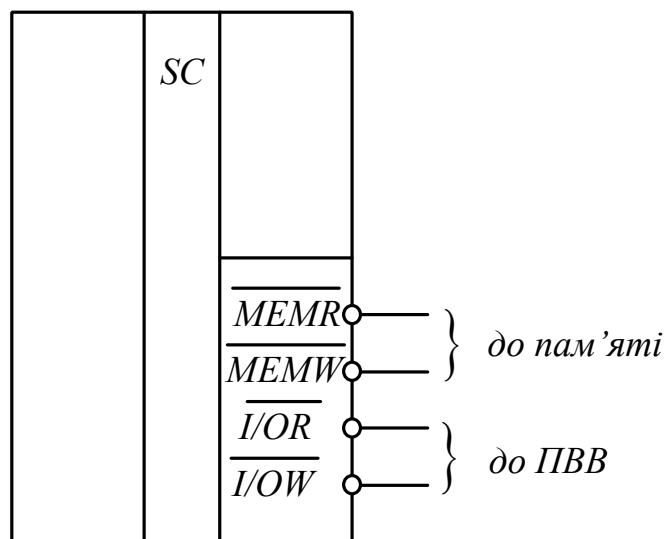


Рисунок 2.7 – Схема управління ПБВ і пам'яттю

2 Пристрої вводу-виводу можуть розглядатися як комірки пам'яті в загальному полі адрес. При цьому розділовою ознакою є один розряд, найчастіше *A15*, або група розрядів адреси. Цей спосіб реалізується за принципом доступу в пам'ять, тобто використання всіх команд до пам'яті для роботи з ПБВ. Наприклад, використовуючи команду *MVI H, <data>*, можна записати безпосередньо дані в порт. Крім того, можливе виконання арифметичних і логічних операцій над вмістом портів вводу-виводу без попереднього занесення їх вмісту в акумулятор. Це сприяє поліпшенню параметрів програм і спрощенню програмування.

Організація карти пам'яті.

Модель пам'яті являє собою впорядковану і пронумеровану послідовність комірок пам'яті, в яких зберігаються 8-розрядні двійкові слова. Номер комірки пам'яті є її адресою. Максимальний розмір адресного простору даного мікроконтролера, виходячи з 16-розрядної шини даних (рисунок 2.8), складає $2^{16}=64$ кбайтів.

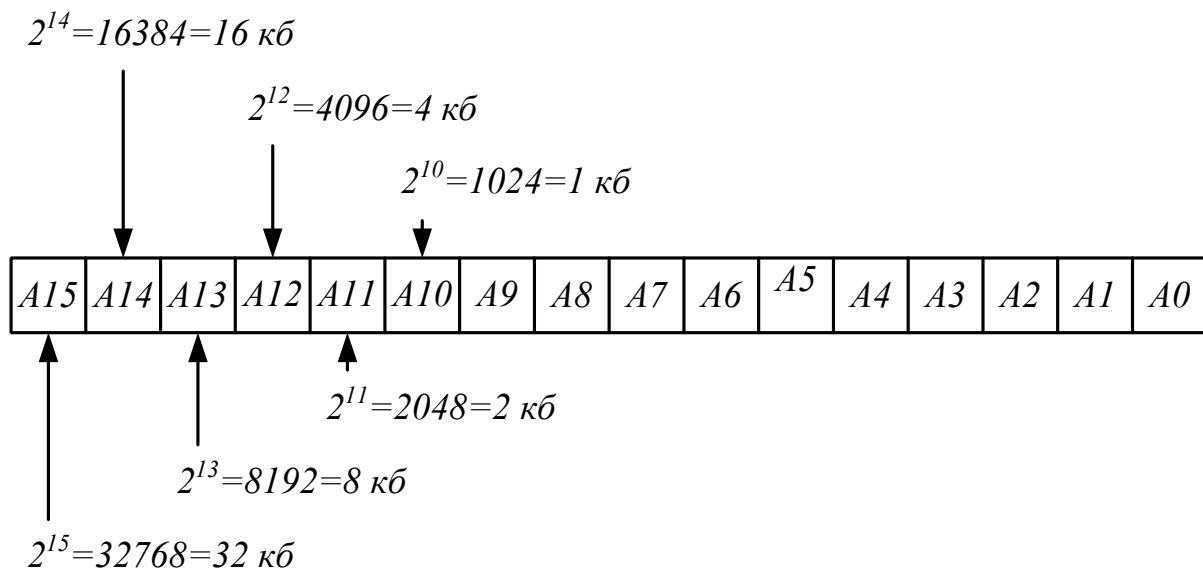


Рисунок 2.8 – Ємність шини даних

Для нумерації адрес використовується шістнадцяткова система числення. У реальних мікропроцесорних системах фактична кількість елементів пам'яті – *ємність*, або *робочий простір пам'яті*, може бути менше адресного простору, і, крім того, розділено на частини за конструктивними або функціональними ознаками. Наприклад, частина пам'яті може бути призначена тільки для операції читання – ПЗП для зберігання програм і констант. ОЗП використовується для зберігання початкових, проміжних і результуючих даних. Крім того, адреси портів вводу-виводу, програмованого таймера і програмованого контролера переривань також можуть бути представлені у вигляді комірок пам'яті.

Для обліку при програмуванні подібних реальних умов застосовують *карту пам'яті* – графічний розподіл робочого простору пам'яті між окремими блоками послідовних комірок за виділеними ознаками.

Розглянемо приклад побудови карти пам'яті.

Наприклад, можна використовувати область пам'яті з адресами *0000-0FFF* для ПЗП, а область пам'яті з адресами *1000-13FF* для ОЗП. Тоді розподіл доступного простору пам'яті з діапазоном адрес *0000-FFFF* має вигляд:

0000-03FF	ПЗП1	1кБ
0400-07FF	ПЗП2	1кБ

0800-0BFF	ПЗПЗ	1кБ
0C00-0FFF	ПЗП4	1кБ
1000-13FF	ОЗП	1кБ
1400-FFFF	Не використовується.	

В цьому випадку десять розрядів шини адреси, починаючи з молодшого (A0-A9) будуть приєднані паралельно до п'яти мікросхем пам'яті з організацією 1Кх8, з яких чотири ПЗП, а одна – ОЗП. При цьому шість старших розрядів шини адреси залишаються непідключеними до мікросхем пам'яті безпосередньо і можуть бути використані при управлінні *дешифратором адреси* – пристроєм, що виробляє сигнал дозволу доступу (вибірки) окремої мікросхеми пам'яті, сукупності мікросхем, утворюючих блок пам'яті, або сукупності блоків, відповідно до двійкового коду, наявного на вільних лініях шини адреси (A10-A15).

Таким чином, молодші десять адрес пам'яті однозначно вибирають елемент пам'яті усередині кожної з мікросхем пам'яті, а доступ до відповідної мікросхеми здійснюється через сигнал дозволу залежно від двійкового коду старших (у загальному випадку) шість розрядів.

У таблиці 2.1 показані двійкові значення станів ліній адреси A10-A13 для декількох діапазонів адрес.

Таблиця 2.1 – Стан ліній шини адреси

<i>A13</i>	<i>A12</i>	<i>A11</i>	<i>A10</i>	<i>Діапазон</i>
0	0	0	0	0000-03FF
0	0	0	1	0400-07FF
0	0	1	0	0800-0BFF
0	0	1	1	0C00-0FFF
0	1	0	0	1000-13FF

Використовуючи таблицю 2.1, можна спроектувати комбінаційну логічну схему, яка видаватиме активний сигнал, коли адреса пам'яті перебуває в певних межах. В якості такої схеми можливе використання готових дешифраторів.

Виходячи з вищесказаного випливає, що поняття «Формування карти адреси» або «адресний простір» безпосередньо пов'язане із структурною організацією МПСУ.

Вся сукупність пристроїв, з якими можливий обмін даними, може бути розділена на два великі класи: «пристрої вводу-виводу (ПВВ) » і «пам'ять». Ці класи можуть розташовуватися як в межах однієї карти пам'яті (адресного простору), так і мати кожен свою карту (адресний простір). Перший випадок є доступом до ПВВ як до комірки пам'яті; другий спосіб вимагає програмно-апаратного дозволу адресних просторів, наприклад, за допомогою системного контролера.

Наприклад, в таблиці 2.2 подано розподіл адресного простору для адресації до десяти ПВВ.

Таблиця 2.2 – Розподіл зовнішніх пристроїв

<i>Пристрої вводу-виводу</i>		<i>Діапазон адрес</i>
1	2	3
ПТ1	Канал 0	00
	Канал 1	01
	Канал 2	02
	РУС	03
ПТ2	Канал 0	04
	Канал 1	05
	Канал 2	06
	РУС	07
ПП1	Канал А	08
	Канал В	09
	Канал С	0А
	РУС	0В
ПП2	Канал А	0С
	Канал В	0D
	Канал С	0Е
	РУС	0F
УСАПП 1	Дані	10
	РУС	11
УСАПП 2	Дані	14
	РУС	15
УСАПП 3	Дані	18
	РУС	19
УСАПП 4	Дані	1С

Продовження таблиці 2.2

1	2	3
	РУС	1D
УСАПП 5	Дані	20
	РУС	21
ПКП	РУС	24
	РУС	25

2.4 Основні принципи формування імпульсів керування із заданими параметрами

Формування на виході мікропроцесорної системи управління керуючих послідовностей можливе трьома способами: програмним, апаратним і програмно-апаратним.

Вибір оптимального способу залежить як від параметрів керуючих імпульсів, їх кількості і характеристик зміни, так і структурної організації МПСУ і інтерфейсу зв'язку з об'єктом управління.

При реалізації *програмного способу* формування тимчасових або частотних параметрів імпульсів параметри керуючих імпульсів, а також їх зміни формуються основною програмою. При цьому виникає завдання розрахунку часу виконання операцій, що забезпечують формування потрібного набору імпульсів і зміну цього набору на наступний (відповідно до алгоритму управління). Оскільки формування тимчасових інтервалів залежить від тривалості виконання програми МП, то виникнення подій, що порушують очікуваний хід виконання програми, призводить часто до непередбачуваного спотворення тимчасових інтервалів. До таких подій належать: обробка переривань, галуження алгоритму з різною тривалістю виконання, очікування готовності зовнішніх пристроїв тощо.

При реалізації *апаратного способу* необхідна наявність відповідних апаратних засобів, що дозволяють сформувати імпульси з необхідними параметрами. У загальному випадку це можуть бути схеми на дискретних логічних елементах, лічильниках, зсувних регістрах тощо. При цьому МПСУ здійснює лише загальну синхронізацію роботи цих апаратних засобів. Залежно від типу структурної організації САР апаратна частина

може бути виконана як за рахунок внутрішніх ресурсів МП (третій тип структурної організації), так і за допомогою зовнішньої системи управління (перший тип структурної організації).

Реалізація *програмно-апаратного способу* передбачає наявність апаратних засобів, що формують необхідні імпульсні послідовності на апаратному рівні, але мають загальний інтерфейс з обчислювальним ядром МПСУ і безпосередньо працюють під його управлінням. При цьому на програмному рівні здійснюється початкове завантаження і ініціалізація цих апаратних засобів, формування послідовностей кодів апаратною частиною і програмна реакція на зовнішні по відношенню до МПСУ діяння.

Програмно-апаратний спосіб передбачає використання таких пристроїв, як програмований таймер, контролер переривань, порти паралельного вводу-виводу.

Перш за все, необхідно заздалегідь скласти інформаційну модель.

Інформаційна модель – це представлення імпульсів управління в цифровому вигляді для обробки конкретною системою управління.

Інформаційна модель у статистиці.

1 Представлення імпульсів управління у вигляді діаграм з точковими тимчасовими параметрами ($1/12$ періоду).

2 Виходячи з діаграми, формується інформаційна модель, при цьому визначається відповідність імпульсів управління з розрядом керуючого слова – числа, що записується в порт.

3 Записується алгоритм програми, що реалізує дану модель.

На рисунку 2.9 подано приклад формування інформаційної моделі із заданими керуючими імпульсами, а в таблиці 2.3 наведена послідовність чисел (у шістнадцятковій системі числення), які необхідно записати в порт ППІ протягом періоду T .

Таблиця 2.3 – Інформаційна модель із заданими керуючими імпульсами

<i>Часовий інтервал, n</i>											
1	2	3	4	5	6	7	8	9	10	11	12
8В	88	А8	69	69	ЕА	В0	В0	35	31	20	00

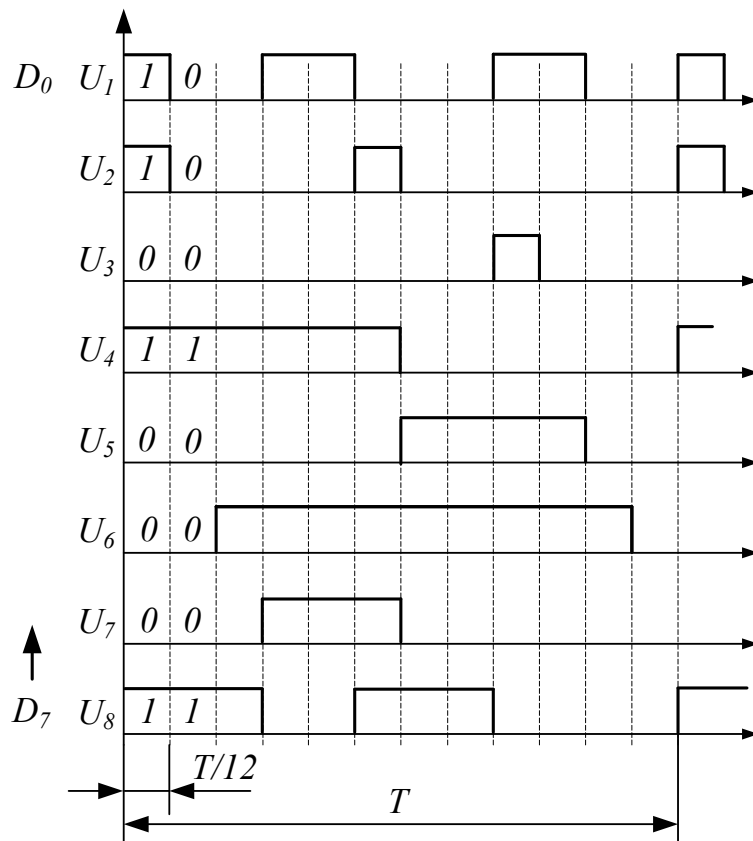


Рисунок 2.9 – Керуючі імпульси

Інформаційна модель у динаміці.

1 Часовий інтервал періоду розбивається на ділянки, рівні дискретності зміни імпульсу в динаміці:

$$t_i = \frac{T_i}{n}, \tag{2.1}$$

де T_i – період прямування керуючих імпульсів; n – дискретність.

Формується n -статичних інформаційних моделей у строгій послідовності для кожного кроку «динамічного імпульсу». Динамічна модель складатиметься з такої кількості рядків, на які розбитий період. Кожен конкретний рядок – це статична модель для певного «динамічного імпульсу», а всі рядки – це динамічна модель. Мінімальний крок дискретності залежить від частоти зміни динамічного імпульсу.

При дискретизації $n=12$ інформаційна модель у динаміці може являти собою таблицю чисел 12×12 .

2 Синтез інформаційної моделі може здійснюватися програмним шляхом:

- інформаційна модель має номери рядків, що позначають момент положення динамічного імпульсу. Перший рядок динамічної моделі реалізується аналогічно статичній. Після закінчення першого рядка необхідно здійснити перехід на другий і т.д. Після закінчення останнього – на перший, можливі варіанти переходу з 5-ого на 7-ий рядок тощо;

- порядок переходу з рядка на рядок і час затримки кожного кадру здійснюється програмою. Програма відповідає за завантаження числа з пам'яті за певною адресою і формування затримки кадру.

Реалізація алгоритму.

При реалізації МП системи на програмному рівні доцільно використовувати програмований паралельний інтерфейс (ППІ), а програмну затримку формувати як послідовність однотипних операцій з фіксованим часом виконання.

Наприклад, для формування імпульсу заданої тривалості в порт ППІ записують перше число інформаційної моделі, внаслідок чого на виході цього порту встановлюється напруга, що відповідає двійковому коду числа інформаційної моделі. Далі визначають тривалість імпульсу t_i , значення якого або розраховується, або визначається іншим шляхом (таблиця, константа тощо). Потім формується програмна затримка, яка може бути підпрограмою. При цьому слід пам'ятати про те, що машинний час, витрачений на визначення значення t_i , входить до складу тривалості імпульсу. Далі в порт ППІ записують наступне число імпульсної моделі, і на його виході встановлюється напруга, що відповідає логічному нулю або логічній одиниці (відповідно до числа інформаційної моделі). Таким чином, можна сформувати імпульс або послідовність імпульсів, задавши паузи між ними. Приклад зображення алгоритму апаратно-програмної реалізації зображений на рисунку 2.10.

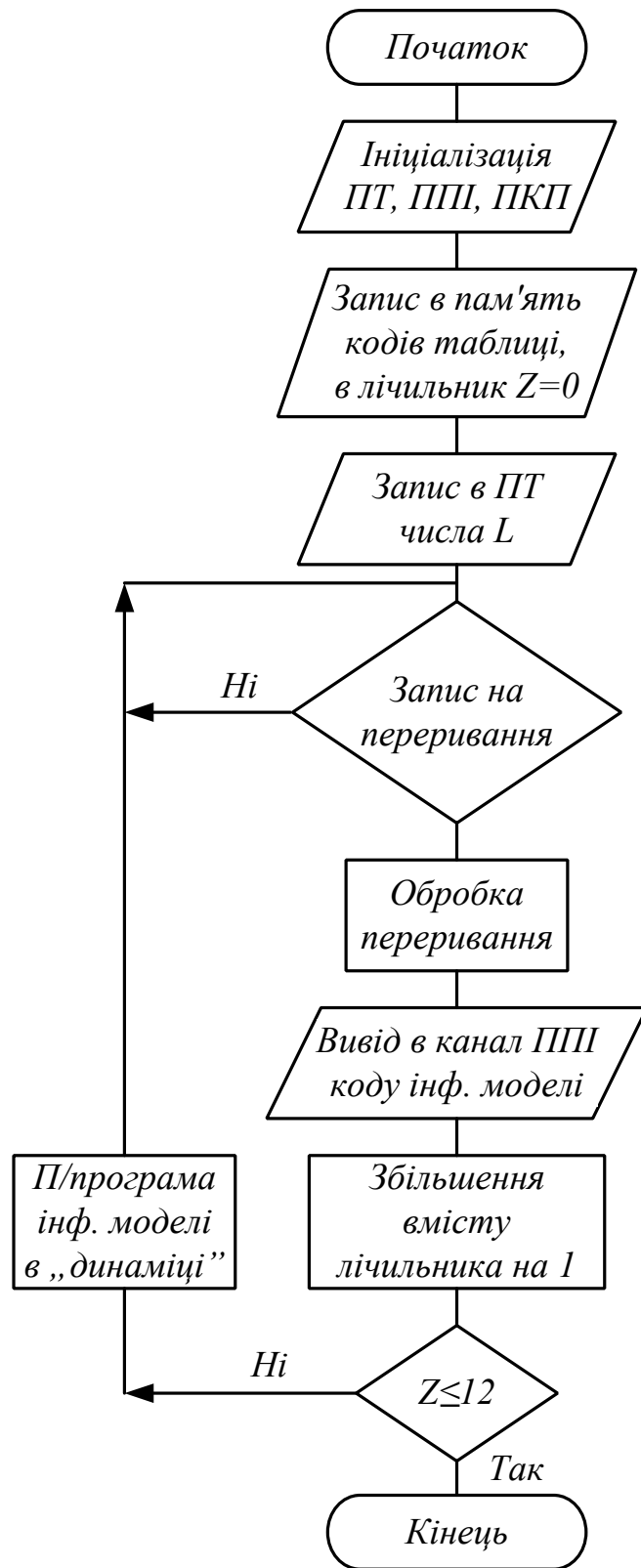


Рисунок 2.10 – Приклад алгоритму виведення керуючих імпульсів

Дискретність зміни імпульсу може бути реалізована програмно-апаратним способом за допомогою програмованого

таймера (ПТ) і програмованого контролера переривань (ПКП). Ініціалізацію ПТ (завантаження керуючих слів), що забезпечує настроювання каналів на заданий режим, проводять до початку формування керуючих імпульсів. Після цього програмно завантажуються початкові значення в канали таймера (L).

Формування тимчасової затримки і виведення керуючих імпульсів здійснюється за принципом обміну по перериванню (див. рисунок 2.5) за допомогою ПКП, ПТ і паралельного інтерфейсу ППІ.

Після завантаження числа L у ПТ починається відлік лічильника. При досягненні вмісту лічильника ПТ нулю, сигнал з виходу (наприклад, $OUT0$) ПТ надходить на вхід запиту на переривання МП, який у свою чергу переходить до підпрограми обслуговування переривання. Після завершення переривання в канал ППІ записується перше число інформаційної моделі і починається новий звіт лічильника ПТ, процес повторюється.

2.5 Формування часових затримок

Дане завдання може бути вирішене: на програмному рівні або з використанням апаратних засобів.

Слід мати на увазі, що формування тимчасових затримок на програмному рівні найдоцільніше в тих випадках, коли на мікропроцесор не накладаються інші функції. У багатьох випадках робота мікропроцесора пов'язана з періодичним опитуванням датчиків зворотних зв'язків і джерела задавального діяння, обробкою даних і виробленням вихідного діяння. При цьому часто використовують переривання, що робить неприпустимим формування програмних затримок, оскільки це призводить до спотворень тимчасових інтервалів у програмі. У таких випадках здійснюють апаратну затримку.

Найпростіший алгоритм організації програмної затримки полягає в такому: у регістр (лічильник) поміщається число N_1 , потім проводиться декремент, тобто зменшення на 1, і робиться перевірка вмісту лічильника, чи не дорівнює він нулю. Так продовжується до тих пір, поки вміст лічильника не стане рівним нулю.

Максимальний час затримки визначається числом розрядів регістра, використаного як лічильника на віднімання, і часом виконання всіх команд. Для збільшення часу виконання циклу і, отже, загальної затримки, в підпрограму може бути додана команда *NOP* (немає операції) або може бути використана будь-яка послідовність команд, виконання яких не змінює вміст регістрів МП.

Максимальний час затримки в секундах визначається при $N_1 = FF_H$ і обчислюється при $f = 2$ МГц:

$$t_{\text{зад}} = [7 + 255(5 + 10)] \times 5 \times 10^{-7}. \quad (2.2)$$

Якщо потрібно мати більший час затримки, то програмна затримка організовується за допомогою вкладених циклів, кожен з яких є віднімальним лічильником.

Для *апаратної реалізації затримки* слід використовувати програмований таймер. Сполучення ПТ з мікроконтролером виконується стандартним чином. До початку формування імпульсу ПТ ініціалізують, забезпечуючи настроювання каналів на заданий режим роботи.

У перший канал таймера завантажуються число N , яке визначає період проходження керуючих імпульсів:

$$N = \frac{T_i}{T_{mi}}, \quad (2.3)$$

де T_i – період проходження керуючих імпульсів;

T_{mi} – період прямування тактових імпульсів *CLK* мікропроцесора.

У другий канал ПТ завантажуються число M , що визначає тривалість (дискретність) формованого імпульсу:

$$M = \frac{t_i}{T_{mi}}. \quad (2.4)$$

З надходженням кожного імпульсу внутрішній вміст таймера (числа N і M) зменшується на одиницю. Коли вміст другого каналу ПТ стає рівним нулю, на виході *OUT2* формується строб, який змінює стан *RS*-тригера, встановлюючи на його

виході напругу логічного нуля. Крім того, скидає ФІ, що формує сигнал запити на переривання, який може надходити або безпосередньо на МП, або через ПКП. Досягши нуля вмісту першого каналу ПТ, формується строб на виході *OUT1*. Цей сигнал повертає *RS*-тригер у початковий стан (напруга логічної одиниці), і далі процеси формування керуючих імпульсів повторюються.

Схема підключення ПТ зображена на рисунку 2.11.

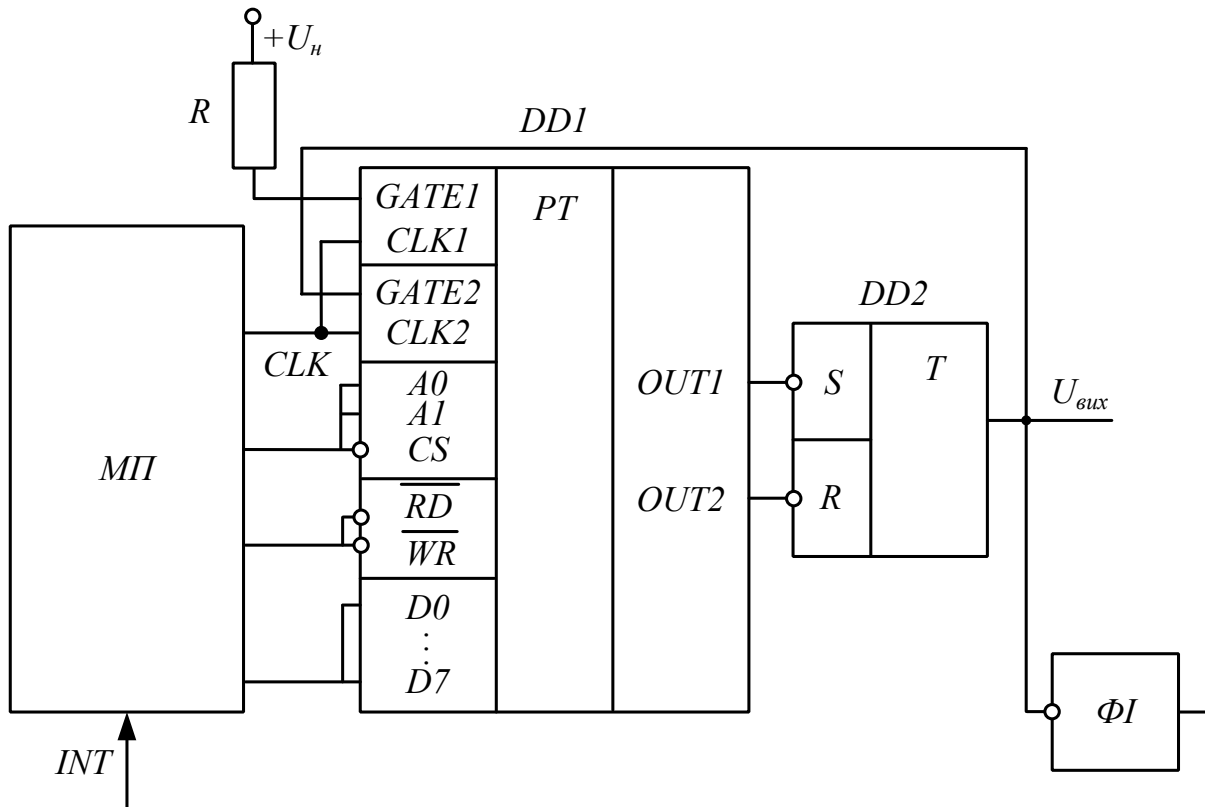


Рисунок 2.11 – Схема апаратної реалізації затримки з використанням ПТ

При програмно-апаратній реалізації тимчасової затримки ПТ програмується в режим генератора імпульсів тривалістю, що дорівнює дискретності «інформаційної моделі». У канал таймера завантажуються число L :

$$L = \frac{t_i}{T_{mi}}, \quad (2.5)$$

де T_{mi} – період прямування тактових імпульсів CLK мікропроцесора;

t_i – дискретність зміни керуючих імпульсів.

Під час запису в лічильник спочатку завантажується молодший, а потім старший байт коду.

2.6 Функціональне спряження вузлів контролера

Під функціональним спряженням мається на увазі організація взаємозв'язку МП із зовнішніми пристроями і ПВВ. Виникає необхідність у демультимплексуванні шини адреси даних, буферизації шин адреси і шин даних, а також у формуванні системних керуючих сигналів пам'яті і ПВВ.

2.6.1 Використання системного контролера

Обмін інформацією між МП і ПВВ та пам'яттю організовується за допомогою магістралей: шина даних (ШД), шина адреси (ША) і шина управління (ШУ). Для побудови інтерфейсу МП необхідний спеціальний пристрій, що фіксує код стану – *системний контролер* (СК). Він служить для формування сигналів, що керують пам'яттю і ПВВ, буферизації ШД.

Для забезпечення правильної взаємодії всіх компонентів мікроконтролера на два зовнішні виводи в потрібні моменти часу подаються керуючі сигнали МП \overline{RD} (читання) і \overline{WR} (запис). Ці сигнали виробляються в інверсній формі, тобто їх відсутність відповідає високому рівню напруги (при позитивній логіці) – рівень лог.1. МП, встановлюючи на виводі \overline{RD} низький рівень, дає вказівку компоненту, що адресується по шині адреси, виставити на шину даних певну інформацію для її передачі в МП. Аналогічно МП встановлює низький рівень на виводі \overline{WR} , якщо необхідно занести інформацію, виставлену МП на шині даних, у компонент, що адресується.

Відповідно до керуючих сигналів МП системний контролер формує сигнали управління пам'яттю \overline{MEMR} , \overline{MEMW} і управління ПВВ – $\overline{I/OR}$, $\overline{I/OW}$ (при роздільному адресному просторі).

2.6.2 Використання шинних формувачів (буферних регістрів)

При достатньо великій кількості компонентів, навантажених на загальні шини, стає необхідним введення буферних схем з великою здатністю навантаження, але логічна організація МПСУ при цьому не зміниться. Для буферування сигналів магістралі найчастіше використовуються *шинні формувачі* (ШФ), звані також *буферами*, драйверами, магістральними приймачами, передавачами, приймачами (залежно від напрямку передачі сигналу). Буферування застосовується для електричного узгодження сигналів і виконує дві основні функції: збільшення здатності навантаження і організація двонаправленої передачі сигналів. Іноді за допомогою буферування реалізується мультиплексування сигналів.

Якщо використовуються мікросхеми 8-розрядних шинних формувачів, то для 16-розрядної ША мікропроцесора необхідно два ШФ. Їх входи з'єднуються паралельно до виводів ША мікропроцесора або системного контролера. Всі пристрої пам'яті і ПВВ МПС підключаються до виводів ШФ. При підключенні необхідно звернути увагу на правильне сполучення цих пристроїв, оскільки входи і виходи ШФ можуть бути прямими і інверсними.

Як правило, використовуються двонаправлені шинні формувачі, і керуючі сигнали подаються на входи \overline{OE} і T (рисунок 2.12). Такі схеми можуть працювати і на передачу в одному напрямі, при цьому її вхід \overline{OE} зазвичай постійний (таблиця 2.4). Шина А (лінії А0-А7) приймає дані від МП або передає їх йому, шина В (лінії В0-В7) пов'язана з магістраллю, на яку передає інформацію або з якої приймає її.

Сигнал \overline{OE} переводить виводи в третій стан (при його високому рівні) або дозволяє їх роботу (при низькому рівні). При дозволі роботи напрям передачі залежить від сигналу T . Функціонування ШФ підкоряється умовам, вказаним у таблиці 2.4. Оскільки шина А пов'язана з МП, а шина В – з магістраллю, для них передбачена різна здатність навантаження: виходи В забезпечують струми більшої величини, ніж виходи А.

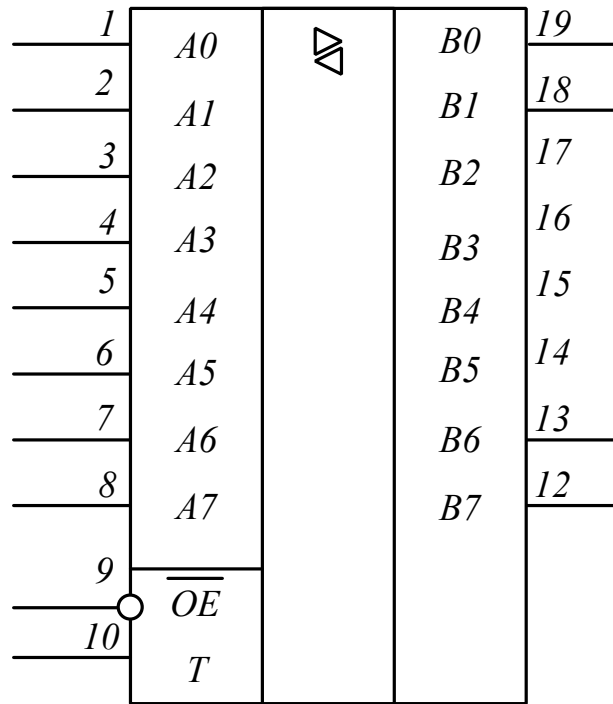


Рисунок 2.12 – Умовне позначення шинного формувача KP580BA86

Буферні регістри, на відміну від ШФ, здатні зберігати дані. Буферні каскади з трьома станами на виходах регістра забезпечують портам можливість відключення від магістралі під дією керуючих сигналів, а також необхідну навантажувальну здатність.

Таблиця 2.4 – Функціонування ШФ

\overline{OE}	T	Режим
1	0	Немає передачі
1	1	Немає передачі
0	1	Передача від А до В
0	0	Передача від В до А

2.6.3 Дешифрування адрес: пам'ять і ПВВ

Залежно від способу організації шин в МПСУ, передача адреси і даних проводиться або паралельно в часі (з розділенням

шини даних і адреси), або послідовно (з мультиплексованою шиною).

Організація адресації пам'яті.

Взаємодія компонентів з роздільними шинами адрес і даних здійснюється при використанні системного контролера за допомогою:

- а) двох керуючих ліній МП для передачі сигналів \overline{MEMR} , \overline{MEMW} , визначаючи режим функціонування – запис або читання;
- б) дешифрування адреси модулів пам'яті. Молодші розряди ША подаються на адресні входи мікросхем пам'яті (ПЗП або ОЗП), з'єднання проводять за принципом *дейзі-ланцюжка*. А старші – на входи схеми вибірки кристала для виключення ситуації одночасного виведення даних більш ніж з одного ПЗП або ОЗП за допомогою ліній вибору пам'яті дешифратора (DC).

Типові дешифратори встановлюють на адресованому виході низький потенціал, а на залишених – високий, але тільки під час надходження на вхід вибірки кристала DC дозвільного сигналу низького рівня $\overline{CS} = 0$. При одиничному значенні цього сигналу ($\overline{CS} = 1$) на всіх виходах дешифратора встановлюється високий рівень.

Можливості такої організації обмежуються числом виводів типових дешифраторів.

Для зчитування інформації з комірки ПЗП необхідно на адресні входи мікросхеми ПЗП подавати відповідні розряди коду адреси, які через дешифратор рядків вибирають відповідну комірку. Зчитування відбувається при активному (нульовому) рівні сигналу \overline{CS} . При $\overline{CS} = 1$ виходи мікросхеми ПЗП перебувають у третьому (високоімпедансному) стані. Якщо ПЗП має виходи з трьома станами або з відкритим колектором, то вихід БІС ПЗП може бути сполучений безпосередньо з шиною. Якщо використовуються БІС ПЗП з відкритим колектором, то підключають підтягувальні резистори, включення яких забезпечує високий рівень вихідного сигналу на шині. Якщо ПЗП не має виходів з трьома станами, то необхідно застосовувати мікросхеми шинних формувачів.

Для організації сучасних ОЗП і ПЗП використовують сторінковий метод організації пам'яті. Наприклад, необхідно забезпечити об'єм пам'яті ПЗП 32 Кбайти. БІС КР573РФ6 має

організацію $8K \times 8$, шина даних – 8-розрядна. Отже, в одній сторінці буде лише одна БІС. Значить, для забезпечення заданого об'єму досить узяти 4 БІС (чотири сторінки).

Виходячи з того, що $8192=2^{13}$, то на адресні входи A0-A12 кожної БІС слід завести тринадцять молодших адресних ліній адресної шини. Останні три адресні лінії шини необхідно використовувати для організації адресації до кожної сторінки пам'яті ПЗП. Для цього використовується 3-входовий дешифратор (див. рисунок 2.13). Зчитування інформації з ПЗП здійснюватиметься при одночасній дії сигналів \overline{CS} і \overline{OE} при цьому буде зчитано вміст комірки з адресою, поданою на входи A0-A12. Сигнал \overline{OE} активний тоді, коли виконується цикл читання (тобто $\overline{MEMR}=0$). Сигнал \overline{CS} формується в діапазоні адрес з одиничними значеннями розрядів A13-A15.

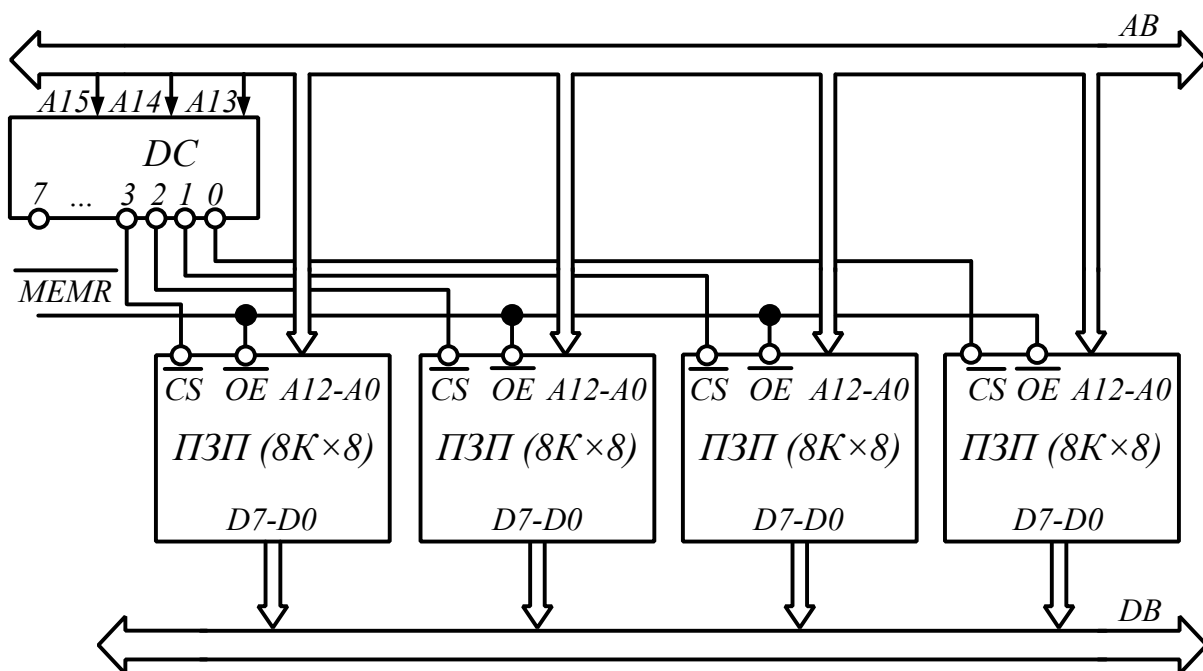


Рисунок 2.13 – Модуль ПЗП ємністю $32K \times 8$

Що стосується ОЗП, то необхідно пам'ятати, що мікропроцесор повинен мати можливість записувати дані в пам'ять і виводити дані з пам'яті, тобто шина даних є двонаправленою. Протягом циклу запису в пам'ять входи ОЗП зв'язуються з шиною даних, а протягом циклу читання з пам'яті виходи ОЗП зв'язуються з шиною даних. Для виключення конфліктної ситуації для ОЗП з роздільними входами і виходами

використовується буфер з трьома станами, який може бути або структурним компонентом ОЗП, або організовується за допомогою шинних формувачів.

Якщо БІС ОЗП не мають входу сигналу \overline{OE} , тобто не переходять у високоімпедансний стан, необхідно використовувати ШФ. У цьому випадку ШФ сполучає вихід БІС ОЗП з шиною даних при виконанні циклу читання ($\overline{MEMR} = 0$) і нульовому рівні сигналів на входах \overline{CS} і W/\overline{R} .

Для мікросхем ОЗП, в яких виходи переходять у високоімпедансний стан, ШФ не використовується, і виходи БІС безпосередньо з'єднуються з шиною даних.

Якщо необхідна інформаційна ємність ОЗП формується за допомогою БІС ємністю $N \times 1$, то адресні входи всіх мікросхем БІС ОЗП, а також входи управління і вибірки з'єднуються паралельно.

Організація адресації ПВВ.

Для адресації ПВВ використовуються молодші вісім розрядів (A0...A7) ША. Для вибору конкретного корпусу ПВВ необхідно використовувати дешифратори.

Порти «активізуються» при подачі МП на ША їх кодових адрес і наявності по ШУ сигналу управління $\overline{I/O\overline{R}}$, $\overline{I/O\overline{W}}$.

2.6.4 Організація виведення керуючих імпульсів

На рисунку 2.14 подана схема функціонального сполучення пристроїв за принципом обміну по перериванню.

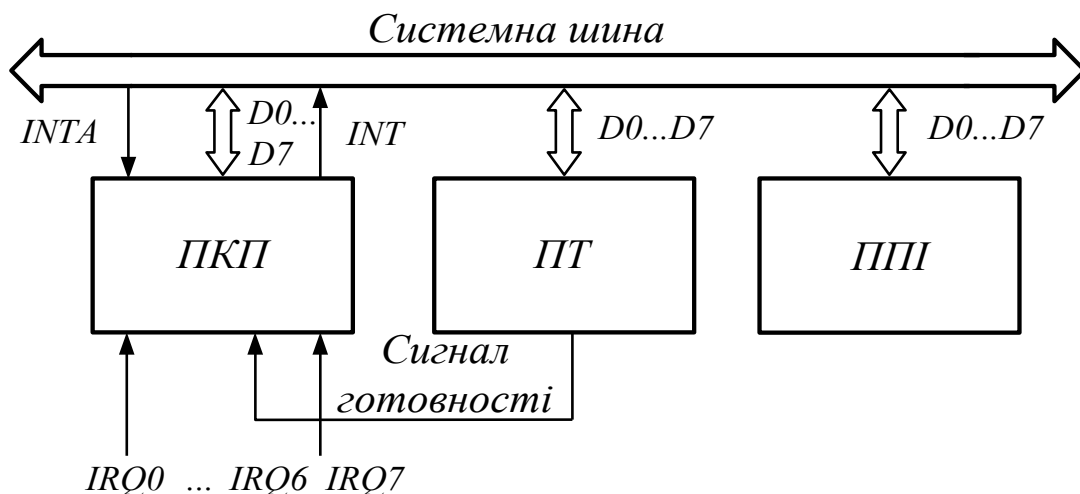


Рисунок 2.14 – Схема функціонального спряження пристроїв за принципом обміну по перериванню

2.7 Організація переривань

Система переривань дозволяє ПБВ ініціювати обмін даними з МП. Існує два способи організації переривання: програмний і апаратний.

Загальна послідовність обміну по перериванню складається з таких дій:

- ПБВ генерує сигнал готовності до переривання, який надходить на входи IR0-IR7 ПКП. Програмний контролер переривань може прийняти до восьми сигналів. ПКП приймає сигнали, оцінює їх пріоритети. Тобто за наявності декількох зовнішніх пристроїв програмний контролер переривань КП підключає спочатку пристрій, що має старший пріоритет, а після цього формує сигнал переривання *INT*, який приймає МП;

- МП завершує виконання поточної команди і, якщо переривання можливі (не масковані), формує сигнал *INTA* підтвердження переривання;

- МП запам'ятовує стан акумулятора, програмного лічильника, регістрів загального призначення (РЗП) у стеку;

- МП ідентифікує пристрій переривання і виконує підпрограму обслуговування переривання. У виділених комірках пам'яті (ОЗП), наприклад по адресах з 00_H по 3F_H, можна записати вісім підпрограм переривання з максимальною довжиною 8 байтів (8×8 байтів). Якщо ці підпрограми складні, то вони можуть містити команду переходу, що забезпечує переходи до будь-яких елементів пам'яті в ОЗП, в яких записані підпрограми обслуговування, а при необхідності і команди виклику підпрограм;

- команда повернення з переривання *RET*, яка є останньою командою підпрограми обслуговування переривання, відновлює значення програмного лічильника і продовжує виконання перерваної основної програми;

- при одночасному надходженні імпульсів на запит переривання ПКП визначає пріоритетний рівень запиту, а також

виконує переривання поточної програми обслуговування переривань по входу запиту з вищим пріоритетом.

Так само, як і в підпрограмах, що дозволяють багаторівневі звернення, при обробці переривань можна обробити запит у той час, коли реалізується інша підпрограма переривання. Така можливість залежить від схемної складності блока управління перериванням. Слід мати на увазі, що необхідно передбачити і забезпечити захист інформації в тих регістрах, які будуть використані в підпрограмі обслуговування. Отже, вміст цих регістрів необхідно зберегти в стеку і після завершення обробки переривання витягувати з нього за допомогою команд *POP* або використовувати інші методи зберігання вмісту цих регістрів. Приклад підпрограми обслуговування переривання наведено в таблиці 2.5.

Таблиця 2.5 – Приклад підпрограми обслуговування переривання

<i>Поле КОП</i>	<i>Поле операнда</i>	<i>Коментар</i>
PUSH	PSW	Пересилка (збереження) слова стану програми в стек
PUSH	H	Збереження стану регістрів
.....		Команди програми обслуговування переривання
POP	H	Відновлення стану регістрів
POP	PSW	Відновлення стану
EI		Дозвіл прийому запитів переривання
RET		Команда повернення в перервану програму

У даному прикладі команди обслуговування переривань не повинні містити ідентифікатори решти регістрів мікропроцесора як операнди, оскільки в результаті переривання може відбутися спотворення їх вмісту. Проте, якщо необхідне використання їх в підпрограмі обслуговування, то необхідно їх заздалегідь помістити в стек, а після завершення підпрограми вилучити. Оскільки команда *EI* стоїть у кінці підпрограми, то багаторівневі переривання неможливі.

2.8 Програмне забезпечення

Перед тим, як приступити до програмування, студентам необхідно пригадати розділи обчислювальної техніки, а саме: способи представлення інформації; системи числення; переклад чисел з однієї системи в іншу; основні арифметичні дії над двійковими і шістнадцятковими числами.

При складанні програм, що включають виконання арифметичних операцій, перш за все необхідно вивчити команди і підпрограми, що входять до складу стандартного програмного забезпечення конкретного мікроконтролера. В тому випадку, якщо час і точність обчислень готових підпрограм є задовільними, то їх використання є найбільш простим і правильним. У випадку якщо одна з умов не відповідає вимогам, що ставляться в курсовій роботі, то виникає необхідність написання власних програм.

Відповідно до розробленого алгоритму (див. рисунок 2.10) складається основна програма, яку можна розділити на декілька частин. Програма полягає в такому:

1 Ініціалізація зовнішніх пристроїв.

Ініціалізація інтерфейсних схем здійснюється таким чином: відбувається завантаження акумулятора керуючим словом, яке задає режими роботи ПВВ. Наприклад:

- запис УС в акумулятор – *MVI A, <УС>*;
- ввід УС у регістр керуючого слова (РУС) – *OUT<адрес РУС>*.

Адреса РУС вказується в карті пам'яті. Слід пам'ятати, що у випадку, якщо ПВВ представлене як ВУ, то адреса в команді *OUT* займає 1 байт. Якщо ж адреса ПВВ зберігається в елементі пам'яті, то необхідно застосувати команди прямої адресації або команди непрямої адресації для запису 16-розрядної адреси (*LHLD, SHLD*).

Далі залежно від поставленого завдання програмується безпосередньо введення даних по встановлених каналах, подальша мікропроцесорна обробка і виведення даних на зовнішні пристрої (індикатори, дисплеї, керуючі пристрої).

2 Запис констант, початкових даних (наприклад, запис у пам'ять таблиць кодів, що визначають інформаційну модель у «статичі» і «динаміці») і т.д.

3 Оскільки виведення керуючих імпульсів (інформаційної моделі) і їх тимчасова затримка здійснюються по перериванню, то підпрограма обробки переривань може містити підпрограми виведення інформаційної моделі в «динаміці» або перехід до цієї підпрограми.

Якщо ця модель є таблицею кодів 12×12, то необхідно програмно описати перехід з одного рядка таблиці на інший.

Інший спосіб виведення інформаційної моделі в «динаміці» може бути реалізований у вигляді програми маскуванню інформаційної моделі в «статичі», тобто необхідно маскувати в певних рядках необхідні біти, які показують рух «динамічного імпульсу» (встановлювати ці біти в «1»).

Список команд МП КР580ИК80А, впорядкованих за мнемонічним позначенням, наведений у рекомендованій літературі. Запис програми подано в таблиці 2.6.

Таблиця 2.6 – Приклад запису команд мікропроцесора мовою Асемблер

<i>Адреса або поле мітки</i>	<i>Поле КОП</i>	<i>Поле операнда</i>	<i>Коментар</i>
М:	MVI C	1F _H	Запис числа 1F _H в регістр C

2.9 Електричне спряження вузлів контролера

2.9.1 Пристрій управління МП. Пристрій управління в кожному циклі команди має формувати послідовність сигналів, що керують функціями всіх блоків МП і системою їх взаємозв'язку. До параметрів тактових імпульсів, що виробляються генератором тактових імпульсів (ГТІ), ставляться жорсткі вимоги: мінімальна і максимальна частота імпульсів; максимальні часи фронту і зрізу імпульсів; допуски на низький і високий рівні напруги імпульсів; допуски на тривалість тактових імпульсів; тимчасові співвідношення між тактовими імпульсами різних фаз. Опорну частоту синхронізації ГТІ визначає кварцовий резонатор, який може мати частоту коливань у дев'ять разів більше заданої частоти, з якою працює МП.

2.9.2 Основне завдання електричного спряження полягає в правильному електричному узгодженні компонентів МПСУ на основі різних технологій.

У МПСУ застосовується позитивна або негативна логіка. Позитивна логіка характеризується зображенням лог. «1» більш позитивним діапазоном напруги, ніж лог. «0», а негативна – більш негативним. Умовами правильного сполучення логічних мікросхем або вузлів контролера є однакове зображення лог. «0» і лог. «1» та забезпечення допустимого навантаження на кожен вихід.

Електричне спряження вузлів контролера полягає також в узгодженні (струмовому і ємнісному) можливостей мікропроцесора і споживачів решти елементів мікроконтролера.

При підключенні до шини декількох пристроїв (мікросхем) їх вхідні струми підсумовуються і можуть перевищити навантажувальну здатність вихідного каскаду мікросхеми, яка передає інформацію, що призведе до спотворення інформації – логічний «0» може сприйматися як логічна «1». Електрична розв'язка передбачає отримання малих вхідних і великих вихідних струмів при ТТЛ-рівні напруги.

Наприклад, навантажувальна здатність одного виводу процесора КР580ИК80А складає 1,6 мА, що дозволяє підключити до нього один вхід мікросхеми серії К155 або дві – чотири мікросхеми серії К555 залежно від їх типу. При цьому до одного виводу процесора можна підключити до восьми входів спеціалізованих шинних формувачів серії К580 або до 16 – серії К1533. До кожного виходу шинного формувача можна підключити до 20 входів мікросхем серії К155.

Навантажувальна здатність МОП-схем по змінному струму істотно нижче за навантажувальну здатність по постійному струму і фактично визначається максимальною ємністю $C_{\text{вх}}^{\text{макс}}$, яку можна підключити до виходу схеми:

$$C_H \leq C_{\text{вх}}^{\text{макс}}, \quad (2.6)$$

де C_H – ємність навантаження. Ємність C_H складається з вхідних і вихідних ємностей відповідно входів і виходів компонентів,

підключених до даного виходу, а також ємності монтажу. Для МП КР580ИК80А $C_{H.макс} = 100$ пФ.

Навантаження має оцінюватися для адресної шини і шини даних з урахуванням n_i БІС i -го типу, підключеного до відповідних шин, і ємності монтажу ($C_m = 10$ пФ).

Навантаження на адресні виходи МП

$$C_{Ha} = nC_{\text{вхОЗП}} + nC_{\text{вхПЗП}} + \dots + C_m. \quad (2.7)$$

Навантаження на виходи даних МП:

$$C_{Ho} = \frac{n_{OЗЗ}}{8} (C_{\text{вхОЗП}} + nC_{\text{вхОЗП}}) + n_{\text{ПЗП}} C_{\text{вхПЗП}} + n_{\text{ПВВ}} C_{\text{вхПВВ}} \dots + C_m, \quad (2.8)$$

де $C_{\text{вхПВВ}}$ – вхідна ємність ПВВ (ППІ, ПТ і т.д.);

$n_{\text{ПВВ}}$ – кількість мікросхем ПВВ.

СПИСОК ЛІТЕРАТУРИ

1 Мікропроцесорна техніка [Текст]: підручник / Ю.І. Якименко, Т.О. Терещенко, Є.І. Сокол, В.Я. Жуйков, Ю.С. Петергеря; за ред. Т.О. Терещенко. – Харків: НТУ «ХПІ», 2003. – 440 с.

2 Микропроцессоры и микроЭВМ в системах автоматического управления [Текст]: справочник / С.Т. Хвощ, Н.Н. Варлинский, Е.А. Попов / под общ. ред. С.Т. Хвоща. – Л.: Машиностроение. Ленингр. отд., 1987. – 640 с.

3 ГОСТ 2.743-91. Обозначения условные графические в схемах. Элементы цифровой техники [Текст]. – Введ. 1993-01-01. – М.: Изд-во стандартов, 1992. – 45 с.

4 ГОСТ 2.759-82 Единая система конструкторской документации. Обозначения условные графические в схемах. Элементы аналоговой техники [Текст]. – Введ. 1983-07-01. – М.: Изд-во стандартов, 1998. – 8 с.

5 Микропроцессоры [Текст] / К.Г. Самофалов, О.В. Викторов, А.К. Кузник и др. – К.: Техника, 1986. – 278 с.

6 Микропроцессоры [Текст]: в 3-х кн. Кн. 1. Архитектура и проектирование микроЭВМ. Организация вычислительных процессов: учеб. для вузов / П.В. Нестеров, В.Ф. Шаньгин, В.Л. Горкунов и др.; под ред. Л.Н. Преснухина. – Минск: Выш. шк., 1987. – 414 с.

7 Лебедев, О.Н. Микросхемы памяти и их применение [Текст] / О.Н. Лебедев. – М.: Радио и связь, 1990. – 243 с.

ДОДАТОК А (довідковий)

Завдання до курсової роботи «Розробка керуючого контролера»

1 Здійснити вибір і розрахунок вузлів контролера (МП, ПП, ПЗП, ОЗП, ПТ і т.д.). Для кожного варіанта вказана кількість каналів управління ПВВ і необхідний об'єм пам'яті контролера.

2 Виконати розподіл адресного простору пам'яті і вузлів вводу-виводу.

3 Провести розрахунок послідовності керуючих імпульсів, формованих МПСУ, з урахуванням змінюваного керуючого сигналу U_1 . Для кожного варіанта вказаний характер зміни U_1 . Організувати вивід імпульсів управління за допомогою ППІ за принципом обміну по перериванню.

4 Провести розрахунок частоти зміни керуючих імпульсів і реалізувати генератор імпульсів переривання з розрахованою частотою на ПТ. Дискретність зміни керуючого сигналу U_1 в часі складає $\frac{1}{12} \cdot T_i$, де T_i – період проходження керуючих імпульсів (відповідно до завдання).

5 Використовувати ПКП для організації зміни інформації на виводах ППІ з частотою, що задається імпульсами з ПТ.

6 Скласти алгоритм виводу керуючих імпульсів і відповідно до цього алгоритму скласти керуючу програму.

7 Провести розрахунок споживаної потужності мікропроцесорної системи.

8 Послідовності керуючих імпульсів подано на рисунку А.1.

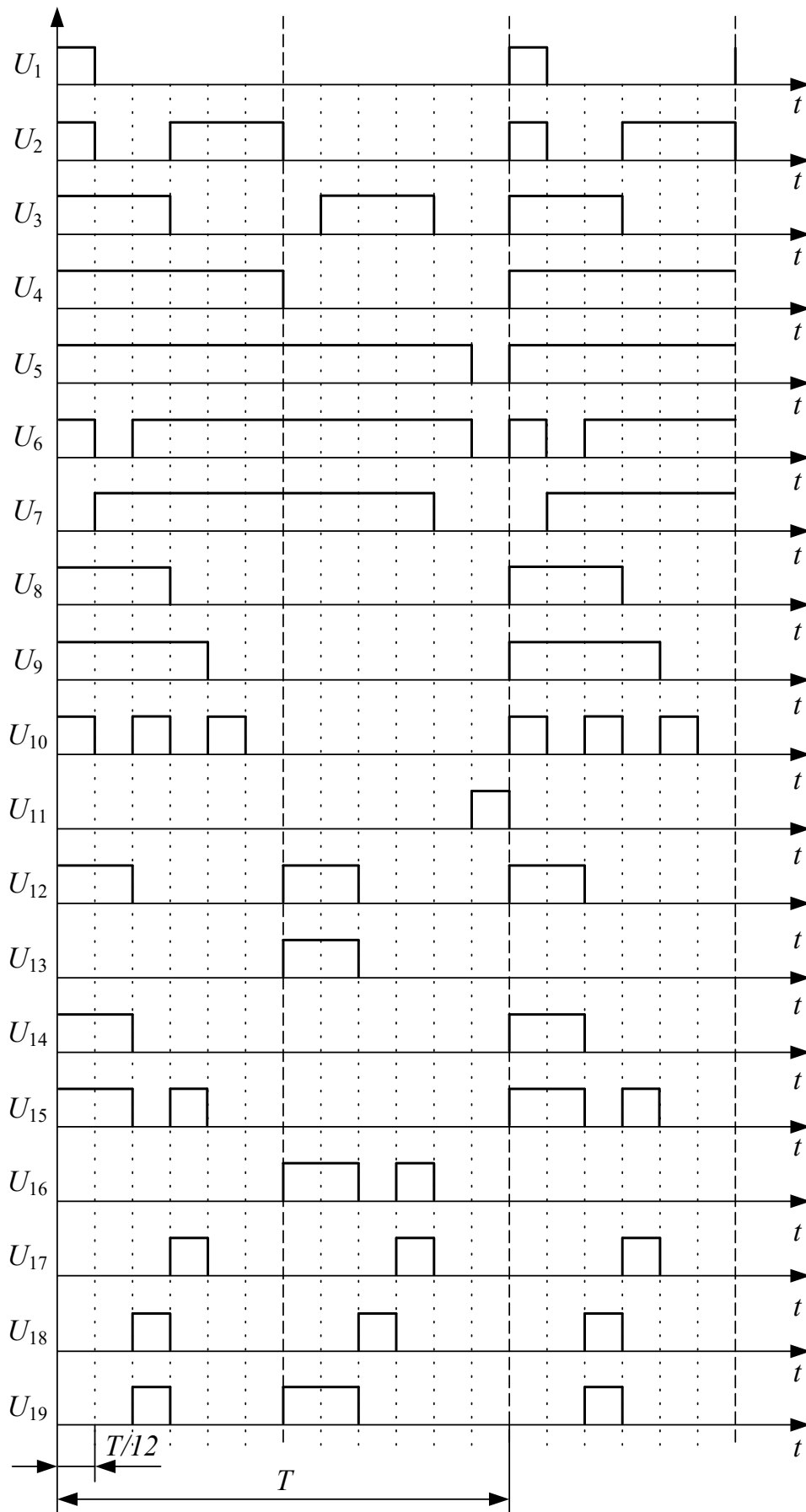


Рисунок А.1 – Послідовності керуючих імпульсів

Додаток Б
(довідковий)

Вихідні дані до виконання курсової роботи

Таблиця Б.1

Номер варіант а	ПЗП, кбайт	ОЗП, кбайт	Послідовні порти каналів		Паралельні порти, каналів		Таймер , кіль- кість каналів	ПКП	Керуючі сигнали на виводах ППІ	Період керуючих сигналів T_i , мс	Характер зміни керуючого сигналу U_1
			на ввід	на вивід	на ввід	на вивід					
1	2	3	4	5	6	7	8	9	10	11	12
1	27	28	4	5	2	4	3	1	U_3, U_4, U_7, U_8	10	Ширина імпульсу змінюється від $1/12 T$ до T
2	25	39	3	5	3	4	4	1	$U_2, U_3, U_5, U_{11},$ U_{15}	5	Положення імпульсу змінюється з 1-ї по 12- ту позиції
3	27	37	4	3	4	4	5	1	$U_7, U_8, U_9, U_{10},$ U_{12}, U_{14}	20	Ширина імпульсу змінюється від T до $1/2$ T
4	23	38	4	5	3	5	4	1	$U_5, U_{10}, U_{12}, U_{13},$ U_{16}	25	Положення імпульсу змінюється в кожній парній позиції від T до 0
5	27	35	5	3	4	2	3	1	U_2, U_7, U_9, U_{11}	30	Ширина імпульсу

											змінюється від $0 T$ до $4/12 T$
--	--	--	--	--	--	--	--	--	--	--	----------------------------------

Продовження таблиці Б.1

1	2	3	4	5	6	7	8	9	10	11	12
6	23	37	4	4	3	3	4	1	$U_3, U_4, U_{11}, U_{15}, U_{19}$	5	Положення імпульсу змінюється з 6-ї по 1-шу позиції
7	29	33	5	3	5	4	7	1	$U_6, U_{10}, U_{14}, U_{16}, U_{18}$	10	Ширина імпульсу змінюється від $1/12 T$ до T
8	23	39	5	2	6	6	4	1	$U_2, U_3, U_{10}, U_{12}, U_{16}$	20	Положення імпульсу змінюється з 2-ї по 9-ту позиції
9	33	31	4	3	4	2	5	1	U_2, U_4, U_8, U_9	25	Ширина імпульсу змінюється від $1/6 T$ до T

